

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yukari TAKATA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: DATA PROCESSOR HAVING CACHE MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-216769	July 25, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月25日

出 願 番 号

Application Number:

特願2002-216769

[ST.10/C]:

[JP 2002-216769]

出 願 人

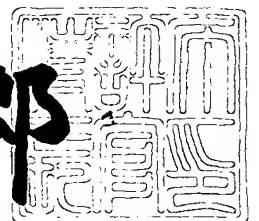
Applicant(s):

三菱電機株式会社

2002年 8月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3064606

【書類名】 特許願

【整理番号】 539738JP01

【提出日】 平成14年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/08

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 高田 由香里

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 処理装置と、

第 1 の記憶装置と、

前記処理装置と前記第 1 の記憶装置との間に接続された第 2 の記憶装置とを備え、

前記処理装置が必要とする所定データが前記第 2 の記憶装置内に存在しない場合、前記所定データを含む、前記第 2 の記憶装置の 1 ライン分の複数のデータが、前記第 1 の記憶装置から読み出されてバースト転送によって前記第 2 の記憶装置のラインに転送されるデータ処理装置において、

前記バースト転送が行われている最中に割り込み要求が発生した場合、前記バースト転送が中断されて、割り込み処理が開始される、データ処理装置。

【請求項 2】 前記割り込み処理が完了すると、中断されていた前記バースト転送が再開される、請求項 1 に記載のデータ処理装置。

【請求項 3】 前記割り込み処理が完了した後に、前記バースト転送が中断された元のプログラムに復帰する場合にのみ、中断されていた前記バースト転送が再開される、請求項 2 に記載のデータ処理装置。

【請求項 4】 複数の割り込み要求が発生した場合は、複数の割り込み処理が順に実行され、最後の割り込み処理が完了すると、中断されていた前記バースト転送が再開される、請求項 2 又は 3 に記載のデータ処理装置。

【請求項 5】 前記割り込み処理が完了した後に、前記バースト転送の中断に係るラインが前記処理装置によってアクセスされると、中断されていた前記バースト転送が再開される、請求項 1 に記載のデータ処理装置。

【請求項 6】 前記割り込み処理が実行されている途中で、前記割り込み処理を終了させる命令が検出されると、中断されていた前記バースト転送が再開される、請求項 1 に記載のデータ処理装置。

【請求項 7】 複数の割り込み要求が発生した場合は、複数の割り込み処理が順に実行され、最後の割り込み処理を終了させる命令が検出されると、中断さ

れていた前記バースト転送が再開される、請求項 6 に記載のデータ処理装置。

【請求項 8】 前記バースト転送が中断された箇所に関する情報が保持されており、

再開された前記バースト転送においては、前記情報に基づいて、前記複数のデータのうち、前記バースト転送の中断に起因して前記第 1 の記憶装置から読み出されなかったもののみが、前記第 1 の記憶装置から読み出されて転送される、請求項 2 ～ 7 のいずれか一つに記載のデータ処理装置。

【請求項 9】 前記第 2 の記憶装置は複数のラインを有しており、

前記複数のラインは、自身が前記バースト転送の中断に係るラインである場合に、前記バースト転送が中断された箇所に関する情報をそれぞれ持ち、

再開された前記バースト転送においては、前記情報に基づいて、前記複数のデータのうち、前記バースト転送の中断に起因して前記第 1 の記憶装置から読み出されなかったもののみが、前記第 1 の記憶装置から読み出されて転送される、請求項 2 ～ 7 のいずれか一つに記載のデータ処理装置。

【請求項 1 0】 割り込み要因に関連する所定の優先度が設定されたレジスタをさらに備え、

前記割り込み要求の優先度が前記所定の優先度よりも高い場合にのみ、前記バースト転送が中断される、請求項 1 ～ 9 のいずれか一つに記載のデータ処理装置。

【請求項 1 1】 前記バースト転送の中断を許可するか否かが割り込み要因ごとに設定されたレジスタをさらに備え、

前記割り込み要求の割り込み要因が、前記バースト転送の中断を許可すると設定された割り込み要因である場合にのみ、前記バースト転送が中断される、請求項 1 ～ 9 のいずれか一つに記載のデータ処理装置。

【請求項 1 2】 前記処理装置は、少なくともフェッチステージ及び実行ステージを有するパイプライン処理を実現しており、

前記割り込み要求が発生した場合は、前記割り込み要求に対応する割り込み命令がフェッチされる前にすでにフェッチされて、かつまだ実行されていない命令を実行するよりも前に、前記割り込み命令が実行される、請求項 1 ～ 9 のいずれ

か一つに記載のデータ処理装置。

【請求項 1 3】 前記処理装置は、少なくともフェッチステージ及び実行ステージを有するパイプライン処理を実現しており、

前記割り込み要求の優先度が所定の優先度以下である場合は、前記割り込み要求に対応する割り込み命令がフェッチされる前にすでにフェッチされていた命令が実行された後に、前記割り込み命令が実行される、請求項 1 ～ 9 のいずれか一つに記載のデータ処理装置。

【請求項 1 4】 処理装置と、

第 1 の記憶装置と、

前記処理装置と前記第 1 の記憶装置との間に接続された第 2 の記憶装置とを備え、

前記処理装置が必要とする所定データが前記第 2 の記憶装置内に存在しない場合、前記所定データを含む、前記第 2 の記憶装置の 1 ライン分の複数のデータが、前記第 1 の記憶装置から読み出されてバースト転送によって前記第 2 の記憶装置のラインに転送されるデータ処理装置において、

前記データ処理装置は、割り込み要因に関連する所定の優先度が設定されたレジスタをさらに備え、

前記処理装置は、少なくともフェッチステージ及び実行ステージを有するパイプライン処理を実現しており、

発生した割り込み要求の優先度が前記所定の優先度以下である場合は、前記割り込み要求に対応する割り込み命令がフェッチされる前にすでにフェッチされていた命令が実行された後に、前記割り込み命令が実行され、

前記割り込み要求の優先度が前記所定の優先度よりも高い場合は、前記割り込み要求に対応する割り込み命令がフェッチされる前にすでにフェッチされて、かつまだ実行されていない命令を実行するよりも前に、前記割り込み命令が実行される、データ処理装置。

【請求項 1 5】 前記バースト転送が行われている最中に前記割り込み要求が発生した場合、前記バースト転送が中断されて、割り込み処理が開始される、請求項 1 4 に記載のデータ処理装置。

【請求項 1.6】 処理装置と、

第 1 の記憶装置と、

前記処理装置と前記第 1 の記憶装置との間に接続された第 2 の記憶装置とを備え、

前記処理装置が必要とする所定データが前記第 2 の記憶装置内に存在しない場合、前記所定データを含む、前記第 2 の記憶装置の 1 ライン分の複数のデータが、前記第 1 の記憶装置から読み出されて前記第 2 の記憶装置のラインにバースト転送されるデータ処理装置において、

第 1 のプログラムを実行する過程で第 1 のバースト転送が行われている最中に第 1 の分岐命令が検出された場合、前記第 1 のバースト転送が中断されて、分岐先の第 2 のプログラムが実行され、

前記第 2 のプログラムが、前記第 1 のプログラムに復帰する可能性の高いプログラムである場合に、前記第 1 のバースト転送が中断された箇所に関する第 1 の情報が保持され、

前記第 2 のプログラムの実行が完了すると、前記第 1 の情報に基づいて、中断されていた前記第 1 のバースト転送が再開される、データ処理装置。

【請求項 1.7】 前記第 2 のプログラムを実行する過程で第 2 のバースト転送が行われている最中に第 2 の分岐命令が検出された場合、前記第 2 のバースト転送が中断されて、分岐先の第 3 のプログラムが実行され、

前記第 3 のプログラムが、前記第 2 のプログラムに復帰する可能性の高いプログラムである場合に、前記第 2 のバースト転送が中断された箇所に関する第 2 の情報が保持され、

前記第 3 のプログラムの実行が完了すると、前記第 2 の情報に基づいて、中断されていた前記第 2 のバースト転送が再開される、請求項 1.6 に記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、データ処理装置に関し、特に、キャッシュメモリを備えるデータ

処理装置に関するものである。

【0002】

【従来の技術】

キャッシュメモリを備えるデータ処理装置においては、CPUが必要とするデータがキャッシュメモリ内に存在しない場合、そのデータを含む、キャッシュメモリの1ライン分のデータが、メインメモリからキャッシュメモリのラインに転送される。例えば、キャッシュメモリの1ラインが128ビットで、キャッシュメモリとメインメモリとが32ビットのデータバスで接続されている場合は、4回のバスサイクルによって、メインメモリからキャッシュメモリへの転送が行われる。キャッシュメモリの1ライン分のデータは、バースト転送によって連続して転送される。

【0003】

【発明が解決しようとする課題】

バースト転送が行われている最中に割り込み要求が発生した場合、従来のデータ処理装置では、バースト転送が完了するのを待ってから、割り込み処理が開始される。従って、割り込み要求に対する応答が遅くなるという問題がある。同様に、バースト転送が行われている最中に他のプログラムへの分岐命令が検出された場合にも、従来のデータ処理装置では、バースト転送が完了するのを待ってから、分岐先のプログラムの命令フェッチが開始される。従って、分岐先のプログラムの実行開始が遅れるという問題がある。しかも、割り込み処理が完了した後、又は分岐先のプログラムの実行が完了した後に元のプログラムに復帰しない場合には、キャッシュメモリに不要なデータが存在することになるという問題もある。

【0004】

本発明はかかる問題を解決するために成されたものであり、メインメモリからキャッシュメモリへのバースト転送が行われている最中に割り込み要求が発生した場合等に、割り込み処理等を優先的に開始することが可能なデータ処理装置を得ることを目的とするものである。

【0005】

【課題を解決するための手段】

この発明のうち請求項 1 に記載のデータ処理装置は、処理装置と、第 1 の記憶装置と、処理装置と第 1 の記憶装置との間に接続された第 2 の記憶装置とを備え、処理装置が必要とする所定データが第 2 の記憶装置内に存在しない場合、所定データを含む、第 2 の記憶装置の 1 ライン分の複数のデータが、第 1 の記憶装置から読み出されてバースト転送によって第 2 の記憶装置のラインに転送されるデータ処理装置において、バースト転送が行われている最中に割り込み要求が発生した場合、バースト転送が中断されて、割り込み処理が開始されるものである。

【0006】

また、この発明のうち請求項 2 に記載のデータ処理装置は、請求項 1 に記載のデータ処理装置であって、割り込み処理が完了すると、中断されていたバースト転送が再開されることを特徴とするものである。

【0007】

また、この発明のうち請求項 3 に記載のデータ処理装置は、請求項 2 に記載のデータ処理装置であって、割り込み処理が完了した後に、バースト転送が中断された元のプログラムに復帰する場合にのみ、中断されていたバースト転送が再開されることを特徴とするものである。

【0008】

また、この発明のうち請求項 4 に記載のデータ処理装置は、請求項 2 又は 3 に記載のデータ処理装置であって、複数の割り込み要求が発生した場合は、複数の割り込み処理が順に実行され、最後の割り込み処理が完了すると、中断されていたバースト転送が再開されることを特徴とするものである。

【0009】

また、この発明のうち請求項 5 に記載のデータ処理装置は、請求項 1 に記載のデータ処理装置であって、割り込み処理が完了した後に、バースト転送の中断に係るラインが処理装置によってアクセスされると、中断されていたバースト転送が再開されることを特徴とするものである。

【0010】

また、この発明のうち請求項 6 に記載のデータ処理装置は、請求項 1 に記載の

データ処理装置であって、割り込み処理が実行されている途中で、割り込み処理を終了させる命令が検出されると、中断されていたバースト転送が再開されることを特徴とするものである。

【 0 0 1 1 】

また、この発明のうち請求項 7 に記載のデータ処理装置は、請求項 6 に記載のデータ処理装置であって、複数の割り込み要求が発生した場合は、複数の割り込み処理が順に実行され、最後の割り込み処理を終了させる命令が検出されると、中断されていたバースト転送が再開されることを特徴とするものである。

【 0 0 1 2 】

また、この発明のうち請求項 8 に記載のデータ処理装置は、請求項 2 ～ 7 のいずれか一つに記載のデータ処理装置であって、バースト転送が中断された箇所にに関する情報が保持されており、再開されたバースト転送においては、情報に基づいて、複数のデータのうち、バースト転送の中断に起因して第 1 の記憶装置から読み出されなかったもののみが、第 1 の記憶装置から読み出されて転送されることを特徴とするものである。

【 0 0 1 3 】

また、この発明のうち請求項 9 に記載のデータ処理装置は、請求項 2 ～ 7 のいずれか一つに記載のデータ処理装置であって、第 2 の記憶装置は複数のラインを有しており、複数のラインは、自身がバースト転送の中断に係るラインである場合に、バースト転送が中断された箇所に関する情報をそれぞれ持ち、再開されたバースト転送においては、情報に基づいて、複数のデータのうち、バースト転送の中断に起因して第 1 の記憶装置から読み出されなかったもののみが、第 1 の記憶装置から読み出されて転送されることを特徴とするものである。

【 0 0 1 4 】

また、この発明のうち請求項 1 0 に記載のデータ処理装置は、請求項 1 ～ 9 のいずれか一つに記載のデータ処理装置であって、割り込み要因に関連する所定の優先度が設定されたレジスタをさらに備え、割り込み要求の優先度が所定の優先度よりも高い場合にのみ、バースト転送が中断されることを特徴とするものである。

【 0 0 1 5 】

また、この発明のうち請求項 1 1 に記載のデータ処理装置は、請求項 1 ～ 9 のいずれか一つに記載のデータ処理装置であって、バースト転送の中断を許可するか否かが割り込み要因ごとに設定されたレジスタをさらに備え、割り込み要求の割り込み要因が、バースト転送の中断を許可すると設定された割り込み要因である場合にのみ、バースト転送が中断されることを特徴とするものである。

【 0 0 1 6 】

また、この発明のうち請求項 1 2 に記載のデータ処理装置は、請求項 1 ～ 9 のいずれか一つに記載のデータ処理装置であって、処理装置は、少なくともフェッチステージ及び実行ステージを有するパイプライン処理を実現しており、割り込み要求が発生した場合は、割り込み要求に対応する割り込み命令がフェッチされる前にすでにフェッチされて、かつまだ実行されていない命令を実行するよりも前に、割り込み命令が実行されることを特徴とするものである。

【 0 0 1 7 】

また、この発明のうち請求項 1 3 に記載のデータ処理装置は、請求項 1 ～ 9 のいずれか一つに記載のデータ処理装置であって、処理装置は、少なくともフェッチステージ及び実行ステージを有するパイプライン処理を実現しており、割り込み要求の優先度が所定の優先度以下である場合は、割り込み要求に対応する割り込み命令がフェッチされる前にすでにフェッチされていた命令が実行された後に、割り込み命令が実行されることを特徴とするものである。

【 0 0 1 8 】

また、この発明のうち請求項 1 4 に記載のデータ処理装置は、処理装置と、第 1 の記憶装置と、処理装置と第 1 の記憶装置との間に接続された第 2 の記憶装置とを備え、処理装置が必要とする所定データが第 2 の記憶装置内に存在しない場合、所定データを含む、第 2 の記憶装置の 1 ライン分の複数のデータが、第 1 の記憶装置から読み出されてバースト転送によって第 2 の記憶装置のラインに転送されるデータ処理装置において、データ処理装置は、割り込み要因に関連する所定の優先度が設定されたレジスタをさらに備え、処理装置は、少なくともフェッチステージ及び実行ステージを有するパイプライン処理を実現しており、発生し

た割り込み要求の優先度が所定の優先度以下である場合は、割り込み要求に対応する割り込み命令がフェッチされる前にすでにフェッチされていた命令が実行された後に、割り込み命令が実行され、割り込み要求の優先度が所定の優先度よりも高い場合は、割り込み要求に対応する割り込み命令がフェッチされる前にすでにフェッチされて、かつまだ実行されていない命令を実行するよりも前に、割り込み命令が実行されることを特徴とするものである。

【 0 0 1 9 】

また、この発明のうち請求項 1 5 に記載のデータ処理装置は、請求項 1 4 に記載のデータ処理装置であって、バースト転送が行われている最中に割り込み要求が発生した場合、バースト転送が中断されて、割り込み処理が開始されることを特徴とするものである。

【 0 0 2 0 】

また、この発明のうち請求項 1 6 に記載のデータ処理装置は、処理装置と、第 1 の記憶装置と、処理装置と第 1 の記憶装置との間に接続された第 2 の記憶装置とを備え、処理装置が必要とする所定データが第 2 の記憶装置内に存在しない場合、所定データを含む、第 2 の記憶装置の 1 ライン分の複数のデータが、第 1 の記憶装置から読み出されて第 2 の記憶装置のラインにバースト転送されるデータ処理装置において、第 1 のプログラムを実行する過程で第 1 のバースト転送が行われている最中に第 1 の分岐命令が検出された場合、第 1 のバースト転送が中断されて、分岐先の第 2 のプログラムが実行され、第 2 のプログラムが、第 1 のプログラムに復帰する可能性の高いプログラムである場合に、第 1 のバースト転送が中断された箇所に関する第 1 の情報が保持され、第 2 のプログラムの実行が完了すると、第 1 の情報に基づいて、中断されていた第 1 のバースト転送が再開されるものである。

【 0 0 2 1 】

また、この発明のうち請求項 1 7 に記載のデータ処理装置は、請求項 1 6 に記載のデータ処理装置であって、第 2 のプログラムを実行する過程で第 2 のバースト転送が行われている最中に第 2 の分岐命令が検出された場合、第 2 のバースト転送が中断されて、分岐先の第 3 のプログラムが実行され、第 3 のプログラムが

、第 2 のプログラムに復帰する可能性の高いプログラムである場合に、第 2 のバースト転送が中断された箇所に関する第 2 の情報が保持され、第 3 のプログラムの実行が完了すると、第 2 の情報に基づいて、中断されていた第 2 のバースト転送が再開されることを特徴とするものである。

【 0 0 2 2 】

【発明の実施の形態】

実施の形態 1 .

図 1 は、本発明の実施の形態 1 に係るデータ処理装置の構成を示すブロック図である。図 1 に示すように、本実施の形態 1 に係るデータ処理装置は、CPU 1 と、オペランドキャッシュ（一般的に「データキャッシュ」と称される）2 と、命令キャッシュ 3 とを備えている。CPU 1 は、リクエストキャンセル信号生成回路 1 2 を有している。また、データ処理装置は、外部メモリ（SDRAM 8、DRAM 9、及び ROM 1 0）とのアクセスを制御するためのコントローラ（外部アクセスコントローラ）4 を備えている。外部アクセスコントローラ 4 は、SDRAM コントローラ 5 と、DRAM コントローラ 6 と、ROM コントローラ 7 とを有している。さらに、データ処理装置は、外付け又は内蔵されたモジュールからの割り込み要求 I R を受け付けて、割り込み信号 I S を CPU 1 に入力する割り込みコントローラ（ICU）1 1 を備えている。

【 0 0 2 3 】

CPU 1 と命令キャッシュ 3 との間で授受される信号について説明する。命令フェッチ要求信号 I F R は、CPU 1 が命令キャッシュ 3 に対して命令フェッチを要求していることを示す信号である。命令アドレス信号 I F A は、CPU 1 が要求している命令コードのアドレスを示す信号である。受領信号 A F I C は、命令キャッシュ 3 が CPU 1 からの命令フェッチ要求を受け付けたことを示す信号である。命令コード R I C は、命令キャッシュ 3 から CPU 1 に転送される命令コードである。命令バリッド信号 I V は、命令キャッシュ 3 から CPU 1 に有効な命令コードが転送されていることを示す信号である。リクエストキャンセル信号 R C は、バースト転送の中断要求を示す信号である。

【 0 0 2 4 】

CPU1とオペランドキャッシュ2との間で授受される信号について説明する。オペランドフェッチ要求信号OFRは、CPU1がオペランドキャッシュ2に対してオペランドフェッチを要求していることを示す信号である。オペランドアドレス信号OFAは、CPU1が要求しているオペランドのアドレスを示す信号である。受領信号AFOCは、オペランドキャッシュ2がCPU1からのオペランドフェッチ要求を受け付けたことを示す信号である。リードオペランドROは、オペランドキャッシュ2からCPU1に転送されるオペランドである。オペランドバリッド信号OVは、オペランドキャッシュ2からCPU1に有効なオペランドが転送されていることを示す信号である。ライトオペランドWOは、CPU1からオペランドキャッシュ2に転送されるオペランドである。

【0025】

以下、命令キャッシュ3とSDRAMコントローラ5との関係に着目して、本発明に係るデータ処理装置について説明する。命令キャッシュ3とDRAMコントローラ6又はROMコントローラ7との関係、及び、オペランドキャッシュ2とSDRAMコントローラ5、DRAMコントローラ6又はROMコントローラ7との関係も基本的には同様であるため、説明は省略する。

【0026】

図2は、命令キャッシュ3及びSDRAMコントローラ5を示すブロック図である。命令キャッシュ3とSDRAMコントローラ5との間で授受される信号について説明する。アドレス信号IAは、CPU1が要求している命令コードのアドレスを示す信号であり、命令キャッシュ3から図1に示したアドレスバスABを介してSDRAMコントローラ5に入力される。アクセス要求信号ARは、命令キャッシュ3がSDRAM8へのアクセスを要求していることを示す信号である。バースト要求信号BRは、SDRAM8から命令キャッシュ3へのデータ転送をバースト転送によって行うことを要求する信号である。バースト要求信号BRが「H (High)」の場合はバースト転送が指定され、「L (Low)」の場合は単発転送が指定される。

【0027】

最終要求信号LARは、バースト転送が指定されている場合に有効であり、バ

ースト転送における最終のアクセス要求を示す信号である。受領信号ACKは、SDRAMコントローラ5が命令キャッシュ3からのアクセス要求を受け付けたことを示す信号である。data ready信号DRは、SDRAMコントローラ5から命令キャッシュ3に有効なデータが転送されていることを示す信号である。リードデータRDは、SDRAMコントローラ5から図1に示したデータバスRDBを介して命令キャッシュ3に転送されるデータである。

【 0 0 2 8 】

SDRAMコントローラ5は、アドレス信号IA及び制御信号CS, RAS, CAS, WEを、図1に示したアドレス・コントロールバスACBを介してSDRAM8に入力する。また、SDRAMコントローラ5及びSDRAM8は、図1に示したデータバスDBを介して、データDQの授受を行う。

【 0 0 2 9 】

図3は、命令キャッシュ3の構成を示すブロック図である。命令キャッシュ3は、外部アクセス要求生成回路15と、命令コード選択回路16と、記憶部17とを備えている。記憶部17は複数のラインに分割されており、各ラインは、タグ部17a、バリッドビット17b、及びデータ部17cをそれぞれ有している。データ部17cにはキャッシュ登録されたデータ（登録データ）が記憶されており、タグ部17aには登録データのタグ情報が記憶されている。タグ部17a及びデータ部17cは、バリッドビット17bが「H」のラインのみ有効である。

【 0 0 3 0 】

外部アクセス要求生成回路15には、命令フェッチ要求信号IFR、リクエストキャンセル信号RC、命令アドレス信号IFA、受領信号ACK、ヒット信号HIT、及びミスヒット信号MISSが入力される。CPU1が要求している命令コードが命令キャッシュ3内に存在している場合（即ちヒットの場合）、ヒット信号HITは「H」となり、ミスヒット信号MISSは「L」となる。一方、CPU1が要求している命令コードが命令キャッシュ3内に存在していない場合（即ちミスヒットの場合）、ミスヒット信号MISSは「H」となり、ヒット信号HITは「L」となる。外部アクセス要求生成回路15からは、アドレス信号

I A、アクセス要求信号 A R、バースト要求信号 B R、最終要求信号 L A R、及び有効データ信号 S S が出力される。有効データ信号 S S については後述する。

【 0 0 3 1 】

命令コード選択回路 1 6 には、命令フェッチ要求信号 I F R、有効データ信号 S S、ヒット信号 H I T、及びミスヒット信号 M I S S が入力される。また、命令コード選択回路 1 6 には、ヒットの場合は、データ部 1 7 c から読み出された命令コード I C が入力され、ミスヒットの場合は、S D R A M 8 から読み込まれた命令コード I C が入力される。命令コード選択回路 1 6 からは、命令コード R I C が出力される。

【 0 0 3 2 】

記憶部 1 7 には、命令アドレス信号 I F A 及び命令コード I C が入力される。記憶部 1 7 からは、ヒット信号 H I T、ミスヒット信号 M I S S、及び命令コード I C が出力される。

【 0 0 3 3 】

図 4 は、図 3 に示した外部アクセス要求生成回路 1 5 の構成を示すブロック図である。外部アクセス要求生成回路 1 5 は、アドレス生成回路 2 0 と、リクエストカウント回路 2 1 と、リクエスト生成回路 2 2 と、インバータ 7 0、7 1 と、AND 回路 7 2、7 3 と、OR 回路 7 4 とを備えている。アドレス生成回路 2 0 には、中断情報 3 5 及び命令アドレス信号 I F A が入力される。中断情報 3 5 については後述する。アドレス生成回路 2 0 からは、アドレス信号 I A 及び有効データ信号 S S が出力される。バースト転送が行われる場合、アドレス生成回路 2 0 は、アドレス信号 I A によって示されるアドレスを、図 1 に示したデータバス R D B のバスサイズに応じて適宜インクリメントする。

【 0 0 3 4 】

リクエストカウント回路 2 1 には、中断情報 3 5、命令アドレス信号 I F A、有効データ信号 S S、及び受領信号 A C K が入力される。リクエストカウント回路 2 1 からは、信号 F 1、F 2 が出力される。信号 F 1、F 2 については後述する。

【 0 0 3 5 】

リクエスト生成回路 2 2 には、信号 F 1、命令フェッチ要求信号 I F R、ミスヒット信号 M I S S、インバータ 7 0 によって反転されたヒット信号 H I T、及びインバータ 7 1 によって反転されたリクエストキャンセル信号 R C が入力される。リクエスト生成回路 2 2 からは、アクセス要求信号 A R が出力される。リクエスト生成回路 2 2 は、ミスヒットの場合にアクセス要求信号 A R を出力し、ヒットの場合にはアクセス要求信号 A R を出力しない。

【 0 0 3 6 】

A N D 回路 7 2 には、命令フェッチ要求信号 I F R 及び信号 C O が入力される。信号 C O は、命令キャッシュ 3 がキャッシュオンの状態（即ち命令キャッシュ 3 を使用することが可能な状態）の時に「H」となる信号である。A N D 回路 7 2 からは、バースト要求信号 B R が出力される。

【 0 0 3 7 】

A N D 回路 7 3 には、バースト要求信号 B R 及び信号 F 2 が入力される。O R 回路 7 4 には、A N D 回路 7 3 の出力信号と、リクエストキャンセル信号 R C とが入力される。O R 回路 7 4 からは、最終要求信号 L A R が出力される。

【 0 0 3 8 】

図 5 は、図 4 に示したリクエストカウント回路 2 1 の構成を示すブロック図である。リクエストカウント回路 2 1 は、カウンタ 2 5 を備えている。有効データ信号 S S、中断情報 3 5、及び命令アドレス信号 I F A に基づいて、カウンタ 2 5 には、バースト転送が継続される残りの回数（残りカウント数）が設定される。この残りカウント数は、受領信号 A C K が入力されるごとに 1 ずつデクリメントされる。信号 F 1 は、残りカウント数が「0」になるまでは「H」であり、残りカウント数が「0」になると「L」になる。図 4 に示したリクエスト生成回路 2 2 は、リクエストカウント回路 2 1 から「L」の信号 F 1 が入力されると、アクセス要求信号 A R の出力を停止する。

【 0 0 3 9 】

信号 F 2 は、残りカウント数が「1」になるまでは「L」であり、残りカウント数が「1」になると「H」になる。図 4 に示した A N D 回路 7 3 及び O R 回路 7 4 は、信号 F 2 が「L」から「H」に遷移したことを受けて、最終要求信号 L

AR を出力する。

【 0 0 4 0 】

図 6 は、図 4 に示したアドレス生成回路 2 0 の構成を示すブロック図である。アドレス生成回路 2 0 は、一致検出回路 3 0 と、選択回路 3 1 と、デコーダ 3 2 と、AND 回路 8 0 ～ 8 3，8 5 と、OR 回路 8 4 とを備えている。一致検出回路 3 0 の一方の入力端子には、所定ビット数（ここでは 3 2 ビットとする）の命令アドレス信号 I F A の第 0 ～ 第 2 7 ビット（以下 [0 : 2 7] と表記する）が入力され、他方の入力端子には、中断情報 3 5 のアドレス記述部 3 5 a に記述されている再開アドレスが入力される。中断情報 3 5 の詳細については後述する。一致検出回路 3 0 からは、一方の入力端子に入力されたデータと他方の入力端子に入力されたデータとが互いに一致すれば「H」で、一致しなければ「L」の検出結果が出力される。

【 0 0 4 1 】

選択回路 3 1 には、命令アドレス信号 I F A と、中断情報 3 5 の再開アドレスとが入力される。選択回路 3 1 は、一致検出回路 3 0 から出力された検出結果が「H」の場合は中断情報の 3 5 の再開アドレスを選択し、「L」の場合は命令アドレス信号 I F A を選択して、アドレス信号 I A として出力する。

【 0 0 4 2 】

デコーダ 3 2 には、命令アドレス信号 I F A の [2 8 : 2 9] が入力される。デコーダ 3 2 は、命令アドレス信号 I F A の [2 8 : 2 9] が「0 0」である場合は、AND 回路 8 0 の一方の入力端子に「H」を入力する。同様に、AND 回路 8 1，8 2，8 3 の各一方の入力端子には、命令アドレス信号 I F A の [2 8 : 2 9] が「0 1」「1 0」「1 1」の場合に、それぞれ「H」が入力される。

【 0 0 4 3 】

AND 回路 8 0 の他方の入力端子には、中断情報 3 5 のデータ位置記述部 3 5 b の第 0 ビットの内容に対応して、「H」又は「L」が入力される。具体的に、第 0 ビットが「1」の場合は「H」が入力され、「0」の場合は「L」が入力される。同様に、AND 回路 8 1，8 2，8 3 の各他方の入力端子には、中断情報 3 5 のデータ位置記述部 3 5 b の第 1，第 2，第 3 ビットの内容に対応して、そ

れぞれ「H」又は「L」が入力される。

【 0 0 4 4 】

OR回路84には、AND回路80～83の各出力信号が入力される。AND回路85の一方の入力端子には、一致検出回路30から出力された検出結果が入力され、他方の入力端子には、OR回路84の出力信号が入力される。AND回路85からは、有効データ信号SSが出力される。有効データ信号SSが「H」である場合は、CPU1が要求している命令コードが中断情報35のデータ格納部35c内に存在していることになる。

【 0 0 4 5 】

図7は、図3に示した命令コード選択回路16の構成を示すブロック図である。命令コード選択回路16は、AND回路180と、インバータ181と、選択回路182、183とを備えている。AND回路180の一方の入力端子には、ミスヒット信号MISSが入力され、他方の入力端子には、インバータ181によって反転されたヒット信号HITが入力される。

【 0 0 4 6 】

選択回路182の一方の入力端子には、中断情報35のデータ格納部35cから読み出された命令コードICが入力され、他方の入力端子には、SDRAM8から読み込まれた命令コードICが入力される。選択回路182は、有効データ信号SSが「H」である場合は、中断情報35のデータ格納部35cから読み出された命令コードICを選択して出力し、「L」である場合は、SDRAM8から読み込まれた命令コードICを選択して出力する。

【 0 0 4 7 】

選択回路183の一方の入力端子には、選択回路182から出力された命令コードICが入力され、他方の入力端子には、命令キャッシュ3から読み出された命令コードICが入力される。選択回路183は、AND回路180の出力信号が「H」である場合（即ちミスヒットである場合）は、選択回路182から出力された命令コードICを選択して出力し、「L」である場合（即ちヒットである場合）は、命令キャッシュ3から読み出された命令コードICを選択して出力する。

【 0 0 4 8 】

図 8 は、図 1 に示したリクエストキャンセル信号生成回路 1 2 の構成を示すブロック図である。リクエストキャンセル信号生成回路 1 2 は、AND 回路 9 0、9 1 と、インバータ 9 2 とを備えている。AND 回路 9 0 の一方の入力端子には割り込み信号 I S が入力され、他方の入力端子には、P S W (Program Status Word 又は Processor Status Word) の I E (Interrupt Enable) ビットの内容が入力される。

【 0 0 4 9 】

AND 回路 9 1 の一方の入力端子には、割り込みハンドラの命令フェッチが開始された場合に「H」となる信号が、インバータ 9 2 によって反転されて入力される。AND 回路 9 1 の他方の入力端子には、AND 回路 9 0 の出力信号が入力される。AND 回路 9 1 からは、リクエストキャンセル信号 R C が出力される。リクエストキャンセル信号 R C は、割り込み信号 I S が入力されてから割り込み処理が開始されるまでの間のみ「H」となる。

【 0 0 5 0 】

図 9 は、本実施の形態 1 に係るデータ処理装置に関して、バースト転送の最中に割り込み要求 I R が発生しない場合の信号・データの遷移を示すタイミングチャートである。以下、図 9 及び適宜図 1 ～ 8 を参照して、バースト転送の最中に割り込み要求 I R が発生しない場合の、本実施の形態 1 に係るデータ処理装置の動作を説明する。なお、以下の説明では、命令キャッシュ 3 の 1 ラインが 1 2 8 ビット、データバス R D B のバスサイズが 3 2 ビット (4 バイト) であり、1 ラインをキャッシュフィルするために 4 回のバスアクセスが必要な場合を想定する。また、命令コード I 1、I 3、I 4 は命令キャッシュ 3 内に存在しており、命令コード D 1 ～ D 4 は命令キャッシュ 3 内に存在していないと仮定する。さらに、C L (CAS Latency) = 2 と仮定する。

【 0 0 5 1 】

期間 T 1 において、C P U 1 は、命令フェッチ要求信号 I F R、及び命令コード I 1 に関する命令アドレス信号 I F A (アドレス a 1) を、命令キャッシュ 3 に入力する。アドレス a 1 へのアクセス要求 (即ち、命令コード I 1 に関する命

令フェッチ要求) が受け付けられると、次のアドレス a 2 へのアクセスが連続して要求され、以下同様に、アドレス a 3, a 4 へのアクセスがこの順に連続して要求される。そのため、命令フェッチ要求信号 I F R は、連続的に「H」を維持する。命令コード I 1 に関する命令フェッチ要求は、期間 T 1 において命令キャッシュ 3 によって受け付けられ、命令キャッシュ 3 は、受領信号 A F I C を C P U 1 に入力する。命令コード I 1 は命令キャッシュ 3 内に存在しているため、ヒット信号 H I T が「H」となる。

【 0 0 5 2 】

期間 T 2 において、アドレス a 1 に対応する命令コード I 1 が命令キャッシュ 3 から読み出されて、C P U 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。また、C P U 1 は、命令コード I 1 の次の命令コード D 1 に関する命令アドレス信号 I F A (アドレス a 2) を、命令キャッシュ 3 に入力する。命令コード D 1 に関する命令フェッチ要求は、期間 T 2 において命令キャッシュ 3 によって受け付けられ、命令キャッシュ 3 は、受領信号 A F I C を C P U 1 に入力する。命令コード D 1 は命令キャッシュ 3 内に存在していないため、ミスヒット信号 M I S S が「H」となる。

【 0 0 5 3 】

期間 T 3 において、命令キャッシュ 3 は、アクセス要求信号 A R 及びアドレス信号 I A (アドレス a 2) を、S D R A M コントローラ 5 に入力する。また、キャッシュオンの状態である場合、命令キャッシュ 3 は、S D R A M コントローラ 5 にバースト要求信号 B R を入力することによって、1 ライン分の命令コード D 1 ~ D 4 のバースト転送を要求する。アクセス要求信号 A R 及びバースト要求信号 B R は、バースト転送を要求する全ての命令コード D 1 ~ D 4 に関するアクセス要求が S D R A M コントローラ 5 によって受け付けられるまで、「H」を維持する。命令コード D 1 に関するアクセス要求は、期間 T 3 において S D R A M コントローラ 5 によって受け付けられ、S D R A M コントローラ 5 は、受領信号 A C K を命令キャッシュ 3 に入力する。

【 0 0 5 4 】

C P U 1 は、命令コード D 1 の次の命令コード I 3 に関する命令アドレス信号

I F A (アドレス a 3) を、命令キャッシュ 3 に入力する。しかし、命令キャッシュ 3 は、命令コード D 1 を C P U 1 に受け渡すまでは、命令コード I 3 に関する命令フェッチ要求を受け付けない (A F I C = 「 L 」) 。

【 0 0 5 5 】

期間 T 4 において、 S D R A M コントローラ 5 は、 S D R A M 8 を活性化するための活性化コマンド A C T (R A S = 「 L 」 、 C A S = 「 H 」 、 W E = 「 H 」) を、 S D R A M 8 に入力する。また、命令キャッシュ 3 は、命令コード D 1 に続く命令コード D 2 に関するアドレス信号 I A (アドレス a 2 + 4) を、 S D R A M コントローラ 5 に入力する。しかし、 S D R A M コントローラ 5 は、 C A S が 「 L 」 となって次のアクセス要求を受け付け可能となるまでは、命令コード D 2 に関するアクセス要求を受け付けない。

【 0 0 5 6 】

期間 T 6 において、 S D R A M コントローラ 5 は、バースト転送を開始するためのリードコマンド R E A D (R A S = 「 H 」 、 C A S = 「 L 」 、 W E = 「 H 」) を、 S D R A M 8 に入力する。また、命令コード D 2 に関するアクセス要求が S D R A M コントローラ 5 によって受け付けられ、 S D R A M コントローラ 5 は、受領信号 A C K を命令キャッシュ 3 に入力する。

【 0 0 5 7 】

期間 T 7 において、命令キャッシュ 3 は、命令コード D 2 に続く命令コード D 3 に関するアドレス信号 I A (アドレス a 2 + 8) を、 S D R A M コントローラ 5 に入力する。命令コード D 3 に関するアクセス要求は、期間 T 7 において S D R A M コントローラ 5 によって受け付けられ、 S D R A M コントローラ 5 は、受領信号 A C K を命令キャッシュ 3 に入力する。

【 0 0 5 8 】

期間 T 8 において、命令キャッシュ 3 は、命令コード D 3 に続く命令コード D 4 に関するアドレス信号 I A (アドレス a 2 + 1 2) を、 S D R A M コントローラ 5 に入力する。命令コード D 4 に関するアクセス要求は、期間 T 8 において S D R A M コントローラ 5 によって受け付けられ、 S D R A M コントローラ 5 は、受領信号 A C K を命令キャッシュ 3 に入力する。また、命令キャッシュ 3 は、最

終要求信号 LAR を SDRAM コントローラ 5 に入力する。さらに、バースト転送が開始され、命令コード D1 が SDRAM 8 から SDRAM コントローラ 5 へ転送される。

【 0 0 5 9 】

期間 T9 において、命令コード D1 が SDRAM コントローラ 5 から命令キャッシュ 3 へ転送される。その際、data ready 信号 DR が「H」とされる。また、命令コード D2 が SDRAM 8 から SDRAM コントローラ 5 へ転送される。さらに、SDRAM コントローラ 5 は、SDRAM 8 をプリチャージするためのプリチャージコマンド PRE (RAS = 「L」、CAS = 「H」、WE = 「L」) を、SDRAM 8 に入力する。

【 0 0 6 0 】

期間 T10 において、命令コード D1 が命令キャッシュ 3 から CPU1 に転送される。その際、命令バリッド信号 IV が「H」とされる。また、命令キャッシュ 3 は、命令コード I3 に関する命令アドレス信号 IFA を受け付け、受領信号 AFIC を CPU1 に入力する。命令コード I3 は命令キャッシュ 3 内に存在しているため、ヒット信号 HIT が「H」となる。また、命令コード D2 が SDRAM コントローラ 5 から命令キャッシュ 3 へ転送される。その際、data ready 信号 DR が「H」とされる。さらに、命令コード D3 が SDRAM 8 から SDRAM コントローラ 5 へ転送される。

【 0 0 6 1 】

期間 T11 において、命令コード I3 が命令キャッシュ 3 から読み出されて、CPU1 に転送される。その際、命令バリッド信号 IV が「H」とされる。CPU1 は、命令コード I3 の次の命令コード I4 に関する命令アドレス信号 IFA (アドレス a4) を、命令キャッシュ 3 に入力する。命令キャッシュ 3 は、命令コード I4 に関する命令アドレス信号 IFA を受け付け、受領信号 AFIC を CPU1 に入力する。命令コード I4 は命令キャッシュ 3 内に存在しているため、ヒット信号 HIT が「H」となる。また、命令コード D3 が SDRAM コントローラ 5 から命令キャッシュ 3 へ転送される。その際、data ready 信号 DR が「H」とされる。さらに、命令コード D4 が SDRAM 8 から SDRAM コントロー

ラ 5 へ転送される。

【 0 0 6 2 】

期間 T 1 2 において、命令コード I 4 が命令キャッシュ 3 から読み出されて、CPU 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。また、命令コード D 4 が S D R A M コントローラ 5 から命令キャッシュ 3 へ転送される。その際、data ready 信号 D R が「H」とされる。1 ライン分の命令コード D 1 ～ D 4 が揃ったので、命令キャッシュ 3 は、命令コード D 1 ～ D 4 を所定のラインに登録する。

【 0 0 6 3 】

なお、命令コード I 1 の次に CPU 1 が要求する命令コードが、S D R A M 8 のメモリブロックの先頭に格納されている命令コード D 1 ではなく、途中で格納されている命令コード（例えば命令コード D 3）である場合は、命令キャッシュ 3 は、アドレス a 2, a 2 + 4, a 2 + 8, a 2 + 1 2 の順にアドレス信号 I A を出力しても良く、アドレス a 2 + 8, a 2 + 1 2, a 2, a 2 + 4 の順にアドレス信号 I A を出力しても良い。

【 0 0 6 4 】

図 1 0 は、本実施の形態 1 に係るデータ処理装置に関して、バースト転送の最中に割り込み要求 I R が発生した場合の信号・データの遷移を示すタイミングチャートである。以下、図 1 0 及び適宜図 1 ～ 8 を参照して、バースト転送の最中に割り込み要求 I R が発生した場合の、本実施の形態 1 に係るデータ処理装置の動作を説明する。なお、割り込みハンドラの命令コード I 5 は命令キャッシュ 3 内に存在していないと仮定する。

【 0 0 6 5 】

期間 T 5 までの動作は図 9 と同様であるため、説明は省略する。

【 0 0 6 6 】

期間 T 6 において、S D R A M コントローラ 5 は、リードコマンド R E A D を S D R A M 8 に入力する。また、命令コード D 2 に関するアクセス要求が S D R A M コントローラ 5 によって受け付けられ、S D R A M コントローラ 5 は、受領信号 A C K を命令キャッシュ 3 に入力する。

【 0 0 6 7 】

割り込み要求 I R が発生し、リクエストキャンセル信号 R C が、リクエストキャンセル信号生成回路 1 2 から命令キャッシュ 3 に入力される。C P U 1 は、命令フェッチ要求信号 I F R を「L」に遷移させることにより、この時点で命令キャッシュ 3 によってまだ受け付けられていない命令フェッチ要求（図 9 に示したアドレス a 3 , a 4 に対する命令フェッチ要求）を取り下げる。命令キャッシュ 3 は、最終要求信号 L A R を生成して S D R A M コントローラ 5 に入力する。また、命令キャッシュ 3 は、アクセス要求信号 A R 及びバースト要求信号 B R を「L」に遷移させることにより、図 9 に示した命令コード D 3 , D 4 に関してのバースト転送の要求を取り下げる。

【 0 0 6 8 】

期間 T 7 において、S D R A M コントローラ 5 は、プリチャージコマンド P R E を S D R A M 8 に入力する。

【 0 0 6 9 】

期間 T 8 において、バースト転送が開始され、命令コード D 1 が S D R A M 8 から S D R A M コントローラ 5 へ転送される。

【 0 0 7 0 】

期間 T 9 において、命令コード D 1 が S D R A M コントローラ 5 から命令キャッシュ 3 へ転送される。その際、data ready 信号 D R が「H」とされる。また、命令コード D 2 が S D R A M 8 から S D R A M コントローラ 5 へ転送される。

【 0 0 7 1 】

期間 T 1 0 において、命令コード D 1 が命令キャッシュ 3 から C P U 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。また、命令キャッシュ 3 は、割り込みハンドラの命令コード I 5 に関する命令アドレス信号 I F A （アドレス a 5 ）を受け付け、受領信号 A F I C を C P U 1 に入力する。命令コード I 5 は命令キャッシュ 3 内に存在していないため、ミスヒット信号 M I S S が「H」となる。また、命令コード D 2 が S D R A M コントローラ 5 から命令キャッシュ 3 へ転送される。その際、data ready 信号 D R が「H」とされる。

【 0 0 7 2 】

期間 T 1 1 以降において、アドレス a 5, a 5 + 4, a 5 + 8, a 5 + 1 2 の各アドレス信号 I A が、命令キャッシュ 3 から S D R A M コントローラ 5 へ順次入力され、バースト転送による S D R A M 8 からの命令コード I 5 の読み込みが行われる。命令コード I 5 は C P U 1 に転送され、C P U 1 は、割り込み要求 I R に対する処理を実行する。

【 0 0 7 3 】

以下、中断されていたバースト転送の再開について説明する。図 1 1 は、中断情報 3 5 を示す図である。図 1 0 に示した例では、割り込み要求 I R の発生に起因して、命令コード D 3, D 4 に関するバースト転送が中断された。バースト転送が中断されると、命令キャッシュ 3 (厳密には外部アクセス要求生成回路 1 5) は、バースト転送の中断に関する情報 (中断情報) 3 5 を作成して、自ら保持しておく。

【 0 0 7 4 】

図 1 1 を参照して、中断情報 3 5 は、2 8 ビットのアドレス記述部 3 5 a と、4 ビットのデータ位置記述部 3 5 b と、1 2 8 ビットのデータ格納部 3 5 c とを有している。アドレス記述部 3 5 a には、中断されたバースト転送を再開する際の開始アドレス (再開アドレス) が記述されている。データ格納部 3 5 c には、バースト転送が中断されるまでに S D R A M コントローラ 5 から命令キャッシュ 3 に転送されてきたデータが格納されている。データ位置記述部 3 5 b には、データ格納部 3 5 c の 1 2 8 ビットを各 3 2 ビットの 4 つの領域に分割して、どの領域に有効なデータが格納されているかが記述されている。

【 0 0 7 5 】

図 1 0 に示した例によると、アドレス記述部 3 5 a には、3 2 ビットのアドレス a 2 + 8 のうちの [0 : 2 7] が記述されている。データ格納部 3 5 c には、[0 : 3 1] に命令コード D 1 が格納されており、[3 2 : 6 3] に命令コード D 2 が格納されている。データ格納部 3 5 c の [6 4 : 9 5] 及び [9 6 : 1 2 7] には有効なデータが格納されておらず、不定ビットとなっている。データ位置記述部 3 5 b には、「1 1 0 0」が記述されている。「1」が有効を表しており、「0」が無効を表している。

【 0 0 7 6 】

図 1 2 は、メインプログラムの実行中に割り込み要求が発生した場合の、第 1 の処理フローを示す模式図である。メインプログラムの処理を実行している CPU 1 は、命令の切れ目などのタイミングで、ICU 1 1 からの割り込み信号 IS の入力の有無を監視している。命令キャッシュ 3 へのバースト転送が行われている途中で割り込み要求 IR の発生が検出されると、上記の通り、命令キャッシュ 3 は、命令コード D 3, D 4 に関するバースト転送を中断するとともに、中断情報 3 5 を作成する。そして、PSW や戻り先番地などの情報が退避された後、割り込みハンドラの先頭番地へのジャンプが行われる。割り込み処理が開始されて、その処理が終了すると、RTE (Return from exception/interrupt/trap) 命令の実行により、退避されていた PSW の復帰と、戻り先番地へのジャンプとが実行される。これにより、元のメインプログラムに復帰する。すると、命令キャッシュ 3 は、中断情報 3 5 のアドレス記述部 3 5 a に記述されている再開アドレスを参照することにより、中断された箇所の続きからバースト転送を再開する。即ち、命令コード D 3, D 4 に関するバースト転送が再開される。中断された箇所の続きからバースト転送が再開されるため、中断される前に命令キャッシュ 3 に転送されていた命令コード D 1, D 2 に関して、重複した読み出し及び転送動作を回避することができる。

【 0 0 7 7 】

命令キャッシュ 3 への命令コード D 3, D 4 の転送が完了すると、命令キャッシュ 3 は、中断情報 3 5 のデータ格納部 3 5 c に格納されている命令コード D 1, D 2 と、SDRAM 8 から転送されてきた命令コード D 3, D 4 とを繋ぎ合わせて、命令コード D 1 ~ D 4 を所定のラインに登録する。

【 0 0 7 8 】

図 1 3 は、メインプログラムの実行中に割り込み要求が発生した場合の、第 2 の処理フローを示す模式図である。図 1 3 では、割り込み処理が終了した後に、元のメインプログラムに復帰しない場合を想定している。割り込み処理が開始されるまでの流れは図 1 2 と同様であるため、説明を省略する。割り込み処理が実行されている過程において、割り込みハンドラは、退避されていた戻り先番地を

、メインプログラムとは別のプログラムの先頭番地書き換える。命令キャッシュ3は、戻り先番地の書き換えが行われたことを検出すると、保持していた中断情報35を無効化する。即ち、データ位置記述部35bの記述内容をクリアする。このとき、アドレス記述部35a及びデータ格納部35cの内容を併せてクリアしてもよい。割り込み処理が終了すると、RTE命令の実行によって上記別のプログラムの先頭番地へのジャンプが実行され、中断されていたバースト転送が再開されることなく、上記別のプログラムの処理が開始される。

【0079】

割り込み処理が終了した後に別のプログラムに移行するような場合は、移行直後に元のプログラムに関する命令コードD1～D4が実行される可能性は低いと考えられる。従って、このような場合には、中断されていたバースト転送を再開させないことにより、バースト転送の再開に伴う無駄な動作を回避でき、上記別のプログラムを早期に開始させることができる。

【0080】

図14は、メインプログラムの実行中に割り込み要求が発生した場合の、第3の処理フローを示す模式図である。図14では、複数の割り込み要求が発生した場合を想定している。複数の割り込み要求が発生した場合は、優先度の高い順に割り込み処理が実行される。命令キャッシュ3へのバースト転送が行われている途中で第1の割り込み要求の発生が検出されると、上記の通り、命令キャッシュ3は、命令コードD3、D4に関するバースト転送を中断するとともに、中断情報35を作成する。そして、PSWや戻り先番地などの情報が退避された後、第1の割り込みハンドラの先頭番地へのジャンプが行われて、第1の割り込み処理が開始される。

【0081】

第1の割り込み処理が終了した時点で第2の割り込み要求の発生が検出されると、第2の割り込みハンドラの先頭番地へのジャンプが行われて、第2の割り込み処理が開始される。第2の割り込み処理が終了すると、RTE命令の実行により、退避されていたPSWの復帰と、戻り先番地へのジャンプとが実行されて、元のメインプログラムに復帰する。すると、命令キャッシュ3は、中断情報35

のアドレス記述部 3 5 a に記述されている再開アドレスを参照することにより、中断された箇所の続きからバースト転送を再開する。即ち、命令コード D 3, D 4 に関するバースト転送が再開される。

【 0 0 8 2 】

命令キャッシュ 3 への命令コード D 3, D 4 の転送が完了すると、命令キャッシュ 3 は、中断情報 3 5 のデータ格納部 3 5 c に格納されている命令コード D 1, D 2 と、SDRAM 8 から転送されてきた命令コード D 3, D 4 とを繋ぎ合わせて、命令コード D 1 ~ D 4 を所定のラインに登録する。

【 0 0 8 3 】

第 1 の割り込み処理が終了した後に、バースト転送の再開よりも優先して第 2 の割り込み処理を実行するため、第 2 の割り込み処理を早期に開始することができる。

【 0 0 8 4 】

なお、図 1 2, 1 4 において、割り込み処理が終了して元のプログラムに復帰した際に、中断された箇所の続きからバースト転送を再開するのではなく、その中断に係るラインの全ての領域に関して、最初からバースト転送をやり直すこともできる。この場合、中断情報 3 5 のアドレス記述部 3 5 a には、再開アドレス $a 2 + 8$ ではなく先頭アドレス $a 2$ を記述しておき、また、データ位置記述部 3 5 b 及びデータ格納部 3 5 c は不要である。しかも、図 1 0 において、命令キャッシュ 3 は、命令コード D 1, D 2 のバースト転送が完了するのを待つことなく、リクエストキャンセル信号 RC を受けた直後に、命令コード I 5 の命令フェッチを開始すればよい。

【 0 0 8 5 】

また、割り込みに起因してバースト転送を中止することのみを目的とし、割り込み処理が終了した後にバースト転送を再開することを意図しない場合には、中断情報 3 5 の作成・保持は不要である。

【 0 0 8 6 】

このように本実施の形態 1 に係るデータ処理装置によれば、キャッシュフィルのためのバースト転送が行われている最中に割り込み要求 IR が発生した場合に

、バースト転送の完了を待ってから割り込み処理を開始するのではなく、バースト転送を強制的に中断して、割り込み処理を優先的に実行する。従って、緊急度の高い割り込み要求 I R に対する応答性を、従来のデータ処理装置よりも高めることができる。

【 0 0 8 7 】

実施の形態 2.

上記実施の形態 1 では、図 1 2, 1 4 に示したように、命令キャッシュ 3 は、割り込み処理が終了して元のプログラムに復帰したことを要因として、中断されていたバースト転送を自動的に再開した。本実施の形態 2 では、実施の形態 1 とは異なる要因でバースト転送を再開する方法について説明する。なお、上記実施の形態 1 と同様に、命令コード D 1, D 2 が命令キャッシュ 3 に転送された段階でバースト転送が中断されて割り込み処理が開始されたものと仮定し、その割り込み処理はすでに完了している。

【 0 0 8 8 】

図 1 5 は、本実施の形態 2 に係るデータ処理装置に関して、中断されていたバースト転送を再開する際の信号・データの遷移を示すタイミングチャートである。図 1 5 に示すように、CPU 1 は、命令コード I 1 (アドレス a 1) と、バースト転送が中断されたライン (以下「中断ライン」と称する) に係る命令コード D 1, D 2, D 3, D 4 (アドレス a 2, a 2 + 4, a 2 + 8, a 2 + 1 2) とを要求している。本実施の形態 2 に係るデータ処理装置では、中断ラインに係る複数の命令コードのうちの任意の一つが CPU 1 によって要求されたことを要因として、中断されていたバースト転送が再開される。以下、具体的に説明する。

【 0 0 8 9 】

期間 T 1 において、CPU 1 は、命令フェッチ要求信号 I F R、及び命令コード I 1 に関する命令アドレス信号 I F A (アドレス a 1) を、命令キャッシュ 3 に入力する。命令フェッチ要求信号 I F R は、CPU 1 が要求している全ての命令コード I 1, D 1 ~ D 4 に関する命令フェッチ要求が命令キャッシュ 3 によって受け付けられるまで、「H」を維持する。命令コード I 1 に関する命令フェッチ要求は、期間 T 1 において命令キャッシュ 3 によって受け付けられ、命令キャ

ッシュ 3 は、受領信号 A F I C を C P U 1 に入力する。命令コード I 1 は命令キャッシュ 3 内に存在しているため、ヒット信号 H I T が「H」となる。

【 0 0 9 0 】

期間 T 2 において、命令コード I 1 が命令キャッシュ 3 から読み出されて、C P U 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。また、C P U 1 は、命令コード I 1 の次の命令コード D 1 に関する命令アドレス信号 I F A (アドレス a 2) を、命令キャッシュ 3 に入力する。命令コード D 1 に関する命令フェッチ要求は、期間 T 2 において命令キャッシュ 3 によって受け付けられ、命令キャッシュ 3 は、受領信号 A F I C を C P U 1 に入力する。

【 0 0 9 1 】

命令コード D 1 は中断情報 3 5 のデータ格納部 3 5 c に格納されており、命令キャッシュ 3 の記憶部 1 7 内には存在していないため、ミスヒット信号 M I S S が「H」となる。一方、図 6 を参照して、一致検出回路 3 0 からは「H」が出力され、AND 回路 8 0 からも「H」が出力される。その結果、AND 回路 8 5 からは「H」の有効データ信号 S S が出力される。

【 0 0 9 2 】

期間 T 3 において、命令コード D 1 が中断情報 3 5 のデータ格納部 3 5 c から読み出されて、C P U 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。また、C P U 1 は、命令コード D 1 の次の命令コード D 2 に関する命令アドレス信号 I F A (アドレス a 2 + 4) を、命令キャッシュ 3 に入力する。命令コード D 2 に関する命令フェッチ要求は、期間 T 3 において命令キャッシュ 3 によって受け付けられ、命令キャッシュ 3 は、受領信号 A F I C を C P U 1 に入力する。

【 0 0 9 3 】

命令コード D 2 は命令キャッシュ 3 の記憶部 1 7 内には存在していないため、ミスヒット信号 M I S S が「H」となる。一方、図 6 を参照して、一致検出回路 3 0 からは「H」が出力され、AND 回路 8 1 からも「H」が出力される。その結果、AND 回路 8 5 からは「H」の有効データ信号 S S が出力される。

【 0 0 9 4 】

また、命令キャッシュ 3 は、アクセス要求信号 A R 及びバースト要求信号 B R を S D R A M コントローラ 5 へ入力する。図 6 を参照して、一致検出回路 3 0 から「H」の検出結果が出力されているため、選択回路 3 1 は、中断情報の 3 5 の再開アドレス（アドレス a 2 + 8）を選択し、アドレス信号 I A として出力する。このアクセス要求、即ち命令コード D 3 に関するアクセス要求は、期間 T 3 において S D R A M コントローラ 5 によって受け付けられ、S D R A M コントローラ 5 は、受領信号 A C K を命令キャッシュ 3 に入力する。

【 0 0 9 5 】

期間 T 4 において、命令コード D 2 が中断情報 3 5 のデータ格納部 3 5 c から読み出されて、C P U 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。また、C P U 1 は、命令コード D 2 の次の命令コード D 3 に関する命令アドレス信号 I F A （アドレス a 2 + 8）を、命令キャッシュ 3 に入力する。命令コード D 3 に関する命令フェッチ要求は、期間 T 4 において命令キャッシュ 3 によって受け付けられ、命令キャッシュ 3 は、受領信号 A F I C を C P U 1 に入力する。

【 0 0 9 6 】

命令コード D 3 は命令キャッシュ 3 の記憶部 1 7 内には存在していないため、ミスヒット信号 M I S S が「H」となる。また、図 6 を参照して、A N D 回路 8 2 からは「L」が出力されるため、A N D 回路 8 5 からは「L」の有効データ信号 S S が出力される。

【 0 0 9 7 】

S D R A M コントローラ 5 は、活性化コマンド A C T を S D R A M 8 に入力する。また、命令キャッシュ 3 は、命令コード D 3 に続く命令コード D 4 に関するアドレス信号 I A （アドレス a 2 + 8）を、S D R A M コントローラ 5 に入力する。しかし、S D R A M コントローラ 5 は、次のアクセス要求を受け付け可能となるまでは、命令コード D 4 に関するアクセス要求を受け付けない。また、命令キャッシュ 3 は、最終要求信号 L A R を S D R A M コントローラ 5 に入力する。

【 0 0 9 8 】

期間 T 5 において、C P U 1 は、命令コード D 3 の次の命令コード D 4 に関す

る命令アドレス信号 I F A (アドレス a 2 + 1 2) を、命令キャッシュ 3 に入力する。しかし、命令キャッシュ 3 は、命令コード D 3 を C P U 1 に受け渡すまでは、命令コード D 4 に関する命令フェッチ要求を受け付けない。

【 0 0 9 9 】

期間 T 6 において、 S D R A M コントローラ 5 は、リードコマンド R E A D を S D R A M 8 に入力する。また、命令コード D 4 に関するアクセス要求が S D R A M コントローラ 5 によって受け付けられ、 S D R A M コントローラ 5 は、受領信号 A C K を命令キャッシュ 3 に入力する。

【 0 1 0 0 】

期間 T 7 において、 S D R A M コントローラ 5 は、プリチャージコマンド P R E を S D R A M 8 に入力する。

【 0 1 0 1 】

期間 T 8 において、バースト転送が開始され、命令コード D 3 が S D R A M 8 から S D R A M コントローラ 5 へ転送される。

【 0 1 0 2 】

期間 T 9 において、命令コード D 3 が S D R A M コントローラ 5 から命令キャッシュ 3 へ転送される。その際、 data ready 信号 D R が「 H 」とされる。また、命令コード D 4 が S D R A M 8 から S D R A M コントローラ 5 へ転送される。

【 0 1 0 3 】

期間 T 1 0 において、命令コード D 4 が S D R A M コントローラ 5 から命令キャッシュ 3 へ転送される。その際、 data ready 信号 D R が「 H 」とされる。1 ライン分の命令コード D 1 ~ D 4 が揃ったので、命令キャッシュ 3 は、命令コード D 1 ~ D 4 を所定のラインに登録する。

【 0 1 0 4 】

また、命令コード D 3 が命令キャッシュ 3 から C P U 1 に転送される。その際、命令バリッド信号 I V が「 H 」とされる。また、命令キャッシュ 3 は、命令コード D 4 に関する命令アドレス信号 I F A を受け付け、受領信号 A F I C を C P U 1 に入力する。命令コード D 4 は命令キャッシュ 3 内に存在しているため、ヒット信号 H I T が「 H 」となる。

【 0 1 0 5 】

期間 T 1 1 において、命令コード D 4 が命令キャッシュ 3 から読み出されて、CPU 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。

【 0 1 0 6 】

このように本実施の形態 2 に係るデータ処理装置によれば、中断ラインに係る命令コード D 1 ～ D 4 のうちの一つが CPU 1 によって要求されたことを要因として、中断されていた命令コード D 3 , D 4 に関するバースト転送が再開される。従って、割り込み処理が終了した直後に元のプログラムに復帰しないような場合であっても、その後に中断ラインがアクセスされた際に、バースト転送を再開することができる。

【 0 1 0 7 】

実施の形態 3 .

本実施の形態 3 では、上記実施の形態 1 , 2 とは異なる要因でバースト転送を再開する方法について説明する。本実施の形態 3 に係るデータ処理装置では、割り込み処理が実行されている途中で R T E 命令が検出されたことを要因として、中断されていたバースト転送が再開される。以下、CPU 1 によってパイプライン処理が行われている場合を例にとり説明する。

【 0 1 0 8 】

バースト転送の再開を説明する前に、まずパイプライン処理について説明する。図 1 6 は、パイプライン処理の一例を示す模式図である。命令フェッチステージ I F、デコードステージ D、命令実行ステージ E、メモリアクセスステージ M、及びライトバックステージ W B がこの順に連続的に実行されることにより、パイプライン処理が実現されている。

【 0 1 0 9 】

図 1 7 は、本実施の形態 3 に係るアドレス生成回路 2 0 の構成を示すブロック図である。本実施の形態 3 に係るアドレス生成回路 2 0 は、選択回路 1 0 0 を備えている。選択回路 1 0 0 には、命令アドレス信号 I F A と、中断情報 3 5 のアドレス記述部 3 5 a に記述されている再開アドレスとが入力される。また、選択回路 1 0 0 には R T E 検出信号 S R が入力されている。R T E 検出信号 S R は、

パイプライン処理のデコードステージDでRTE命令がデコードされた場合に「H」となる。選択回路100は、RTE検出信号SRが「H」の場合は再開アドレスを選択し、「L」の場合は命令アドレス信号IFAを選択して、アドレス信号IAとして出力する。なお、図17では省略したが、本実施の形態3に係るアドレス生成回路20は、図6と同様に有効データ信号SSを生成するための構成を備えている。

【0110】

図18は、本実施の形態3に係る外部アクセス要求生成回路15の構成を示すブロック図である。本実施の形態3に係る外部アクセス要求生成回路15は、図4に示した構成に加えて、OR回路101を備えている。OR回路101の一方の入力端子にはRTE検出信号SRが入力され、他方の入力端子には命令フェッチ要求信号IFRが入力される。OR回路101の出力信号は、リクエスト生成回路22及びAND回路72に入力される。リクエスト生成回路22は、RTE検出信号SRが「H」でOR回路101から「H」が入力されたとしても、中断情報35のデータ位置記述部35bに「0000」と記述されている場合は、アクセス要求信号ARを出力しない。

【0111】

図19は、パイプライン処理が実行されている状況を示す図である。図19に示した命令X1～X3と、図19には示していない命令X4とが、命令キャッシュ3の1ラインに格納されるものと仮定する。期間t1では、命令X1が命令フェッチステージIFで処理される。期間t2では、命令X1がデコードステージDで処理され、命令X2が命令フェッチステージIFで処理される。期間t3では、命令X1が命令実行ステージEで処理され、命令X2がデコードステージDで処理され、命令X3が命令フェッチステージIFで処理される。また、期間t3では、割り込み（割り込み命令Y1）が発生している。

【0112】

期間t4において、命令フェッチステージIFでは、命令X3に続く命令X4に先立って、割り込み命令Y1が優先的に処理される。その際、命令X4の先頭アドレスを中断情報35のアドレス記述部35aに記述しておく。命令X4につ

いては、期間 t_5 以降に命令フェッチステージ I F で処理される。そして、1 ライン分のデータが揃った段階で、命令 X 1 ~ X 4 が命令キャッシュ 3 に登録される。

【 0 1 1 3 】

また、期間 t_4 において、デコードステージ D 及び命令実行ステージ E では、割り込み命令 Y 1 が発生した時点（期間 t_3 ）で命令実行ステージ E での処理がまだ行われていない命令（この例の場合は命令 X 2, X 3）の処理をそれぞれ保留し、割り込み命令 Y 1 の処理に備える。その際、命令実行ステージ E に関して、命令 X 2 の先頭アドレスを戻り先番地として設定して、P S W とともに退避しておく。一方、割り込み命令 Y 1 が発生した時点で命令実行ステージ E での処理がすでに完了している命令については、その後の処理が進められる。この例の場合、メモリアクセスステージ M で命令 X 1 が処理される。

【 0 1 1 4 】

割り込み命令 Y 1 は、期間 t_5 においてデコードステージ D で処理され、期間 t_6 において命令実行ステージ E で処理される。割り込み処理が終了した後は、戻り先番地としてアドレスが保持されていた命令 X 2 の命令フェッチステージ I F から、処理が再開される。このように、割り込み命令 Y 1 が発生した時点で命令実行ステージ E での処理がまだ行われていない命令 X 2 ~ X 4 よりも、割り込み命令 Y 1 を優先的に処理することにより、緊急度の高い割り込み処理を早期に開始することができる。例えば、命令 X 2, X 3 の実行処理に長時間を要する場合であっても、命令 X 2, X 3 の実行処理が完了するのを待ってから割り込み命令 Y 1 の実行処理が開始されるわけではないため、割り込み命令 Y 1 に対する実行処理を早期に開始することができる。

【 0 1 1 5 】

但し、発生した割り込み命令 Y 1 の優先度を、予め設定しておいた所定の優先度と比較し、割り込み命令 Y 1 の優先度が所定の優先度以下である場合には、以下のような処理を行ってもよい。なお、優先度の設定及び比較については、後述する実施の形態 5 において詳細に説明する。

【 0 1 1 6 】

図 2 0 は、パイプライン処理が実行されている状況を示す図である。期間 t_3 において、優先度が所定の優先度以下である割り込み命令 Y_1 が発生している。命令実行ステージ E では、割り込み命令 Y_1 がフェッチされる前にすでにフェッチされていた命令 $X_1 \sim X_3$ が処理された後に、割り込み命令 Y_1 が処理される。この場合、命令 X_4 の先頭アドレスが戻り先番地として設定されて、P S W とともに退避される。デコードステージ D、メモリアクセスステージ M、及びライトバックステージ W B についても同様である。発生した割り込み要求の緊急度がそれほど高くない場合に、割り込み命令 Y_1 よりも先に命令 $X_1 \sim X_3$ を処理することにより、パイプラインを乱すことなく処理を進めることができ、割り込み処理に伴うペナルティをなくすことができる。即ち、割り込み処理の優先度に応じてパイプラインをキャンセルするか否かを選択することにより、割り込み処理を急ぐ場合にはパイプラインをキャンセルして割り込み処理を早急に処理でき、割り込み処理を急がない場合にはパイプラインをキャンセルしないことで割り込み処理に伴うペナルティを減らすことができ、全体として処理性能を高めることができる。

【 0 1 1 7 】

以上のようにして C P U 1 はパイプライン処理を実現しているわけであるが、パイプライン処理においては、R T E 命令は、命令実行ステージ E で処理される前にデコードステージ D で処理される。従って、実際に R T E 命令が命令実行ステージ E で処理されるよりも前に、デコードステージ D において R T E 命令を検出することができる。そこで、本実施の形態 3 に係るデータ処理装置は、割り込み処理が実行されている最中であっても、割り込み処理を終了させる命令（R T E 命令）が検出されたことを要因として、中断されていたバースト転送を再開する。

【 0 1 1 8 】

図 2 1 は、本実施の形態 3 に係るデータ処理装置に関して、中断されていたバースト転送を再開する際の信号・データの遷移を示すタイミングチャートである。ここでは、命令キャッシュ 3 の 1 ラインに格納される命令コード $I_1 \sim I_4$ （アドレス $A_1 \sim A_4$ ）のうち、命令コード I_1 、 I_2 に関する転送が完了した段

階でバースト転送が中断されている場合を想定している。なお、図 2 1 において、命令コード I 0（アドレス A 0）は割り込みハンドラの命令コードである。

【0 1 1 9】

期間 T 2 において、デコードステージ D で R T E 命令が検出されたことにより、R T E 検出信号 S R が「H」となる。

【0 1 2 0】

期間 T 3 において、C P U 1 は、命令フェッチ要求信号 I F R、及び命令コード I 1 に関する命令アドレス信号 I F A（アドレス A 1）を、命令キャッシュ 3 に入力する。命令コード I 1 に関する命令フェッチ要求は、期間 T 3 において命令キャッシュ 3 によって受け付けられ、命令キャッシュ 3 は、受領信号 A F I C を C P U 1 に入力する。命令コード I 1 は中断情報 3 5 のデータ格納部 3 5 c に格納されているため、ミスヒット信号 M I S S 及び有効データ信号 S S が「H」となる。

【0 1 2 1】

また、命令キャッシュ 3 は、アクセス要求信号 A R 及びバースト要求信号 B R を S D R A M コントローラ 5 へ入力する。図 6 を参照して、選択回路 3 1 は、中断情報の 3 5 の再開アドレス（アドレス A 3）を選択し、アドレス信号 I A として出力する。このアクセス要求、即ち命令コード I 3 に関するアクセス要求は、期間 T 3 において S D R A M コントローラ 5 によって受け付けられ、S D R A M コントローラ 5 は、受領信号 A C K を命令キャッシュ 3 に入力する。

【0 1 2 2】

期間 T 4 において、命令コード I 1 が中断情報 3 5 のデータ格納部 3 5 c から読み出されて、C P U 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。また、C P U 1 は、命令コード I 1 の次の命令コード I 2 に関する命令アドレス信号 I F A（アドレス A 2）を、命令キャッシュ 3 に入力する。命令コード I 2 に関する命令フェッチ要求は、期間 T 4 において命令キャッシュ 3 によって受け付けられ、命令キャッシュ 3 は、受領信号 A F I C を C P U 1 に入力する。命令コード I 2 は中断情報 3 5 のデータ格納部 3 5 c に格納されているため、ミスヒット信号 M I S S 及び有効データ信号 S S が「H」となる。

【 0 1 2 3 】

SDRAMコントローラ5は、活性化コマンドACTをSDRAM8に入力する。また、命令キャッシュ3は、命令コードI3に続く命令コードI4に関するアドレス信号IA（アドレスA4）を、SDRAMコントローラ5に入力する。しかし、SDRAMコントローラ5は、次のアクセス要求を受け付け可能となるまでは、命令コードI4に関するアクセス要求を受け付けない。また、命令キャッシュ3は、最終要求信号LARをSDRAMコントローラ5に入力する。

【 0 1 2 4 】

期間T5において、命令コードI2が中断情報35のデータ格納部35cから読み出されて、CPU1に転送される。その際、命令バリッド信号IVが「H」とされる。また、CPU1は、命令コードI2の次の命令コードI3に関する命令アドレス信号IFA（アドレスA3）を、命令キャッシュ3に入力する。命令コードI3に関する命令フェッチ要求は、期間T5において命令キャッシュ3によって受け付けられ、命令キャッシュ3は、受領信号AFICをCPU1に入力する。命令コードI3は命令キャッシュ3内に存在していないため、ミスヒット信号MISSが「H」となる。

【 0 1 2 5 】

期間T6において、CPU1は、命令コードI3の次の命令コードI4に関する命令アドレス信号IFA（アドレスA4）を、命令キャッシュ3に入力する。しかし、命令キャッシュ3は、命令コードI3をCPU1に受け渡すまでは、命令コードI4に関する命令フェッチ要求を受け付けない。

【 0 1 2 6 】

SDRAMコントローラ5は、リードコマンドREADをSDRAM8に入力する。また、命令コードI4に関するアクセス要求がSDRAMコントローラ5によって受け付けられ、SDRAMコントローラ5は、受領信号ACKを命令キャッシュ3に入力する。

【 0 1 2 7 】

期間T7において、SDRAMコントローラ5は、プリチャージコマンドPREをSDRAM8に入力する。

【 0 1 2 8 】

期間 T 8 において、バースト転送が開始され、命令コード I 3 が S D R A M 8 から S D R A M コントローラ 5 へ転送される。

【 0 1 2 9 】

期間 T 9 において、命令コード I 3 が S D R A M コントローラ 5 から命令キャッシュ 3 へ転送される。その際、data ready 信号 D R が「H」とされる。また、命令コード I 4 が S D R A M 8 から S D R A M コントローラ 5 へ転送される。

【 0 1 3 0 】

期間 T 1 0 において、命令コード I 4 が S D R A M コントローラ 5 から命令キャッシュ 3 へ転送される。その際、data ready 信号 D R が「H」とされる。1 ライン分の命令コード I 1 ～ I 4 が揃ったので、命令キャッシュ 3 は、命令コード I 1 ～ I 4 を所定のラインに登録する。

【 0 1 3 1 】

また、命令コード I 3 が命令キャッシュ 3 から C P U 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。また、命令キャッシュ 3 は、命令コード I 4 に関する命令アドレス信号 I F A を受け付け、受領信号 A F I C を C P U 1 に入力する。命令コード I 4 は命令キャッシュ 3 内に存在しているため、ヒット信号 H I T が「H」となる。

【 0 1 3 2 】

期間 T 1 1 において、命令コード I 4 が命令キャッシュ 3 から読み出されて、C P U 1 に転送される。その際、命令バリッド信号 I V が「H」とされる。

【 0 1 3 3 】

このように本実施の形態 3 に係るデータ処理装置によれば、R T E 命令が検出されたことを要因として、中断されていた命令コード I 3, I 4 に関するバースト転送が再開される。従って、割り込み処理がまだ実行されている最中であってもバースト転送を再開することができ、割り込み処理が完了した後に再開する場合と比較すると、バースト転送を早期に再開することができる。

【 0 1 3 4 】

なお、図 1 4 に示したように複数の割り込み要求が発生した場合には、以下の

ように対応することができる。図 2 2 は、R T E 検出信号 S R を生成するための回路の構成を示すブロック図である。A N D 回路 1 1 0 の一方の入力端子には、R T E 検出信号 S R が入力され、他方の入力端子には、インバータ 1 1 1 によって反転された割り込み信号 I S が入力される。かかる構成により、A N D 回路 1 1 0 は、割り込み信号 I S が「L」の時には R T E 検出信号 S R を出力し、割り込み信号 I S が「H」の時には R T E 検出信号 S R を出力しない。図 1 8 に示した O R 回路 1 0 1 には、A N D 回路 1 1 0 から出力された R T E 検出信号 S R が入力される。

【 0 1 3 5 】

図 1 4 を参照して、第 1 の割り込み処理に関する R T E 命令が検出されたとしても、それと同時に第 2 の割り込み要求が発生している。従って、図 2 2 に示した A N D 回路 2 2 からは R T E 検出信号 S R は出力されない。その結果、中断されていたバースト転送が再開されることなく、第 2 の割り込みハンドラの先頭番地へのジャンプが行われて、第 2 の割り込み処理が開始される。

【 0 1 3 6 】

第 2 の割り込み処理に関する R T E 命令が検出されると、その時点では次の割り込み要求が発生していない。そのため、図 2 2 に示した A N D 回路 2 2 から R T E 検出信号 S R が出力され、中断されていたバースト転送が再開される。その後、第 2 の割り込み処理に関する R T E 命令が実行されることにより、メインプログラムへの復帰が行われる。

【 0 1 3 7 】

実施の形態 4 .

図 2 3 は、本実施の形態 4 に係る命令キャッシュ 3 の記憶部 1 7 の構成を示す模式図である。上記実施の形態 1 ～ 3 では、命令キャッシュ 3 は、中断ラインのみに関する中断情報 3 5 を、外部アクセス要求生成回路 1 5 内に保持していた。これに対して、本実施の形態 4 に係るデータ処理装置では、外部アクセス要求生成回路 1 5 が中断情報 3 5 を保持するのではなく、中断情報 3 5 と等価な情報が、命令キャッシュ 3 の記憶部 1 7 に記憶されている。

【 0 1 3 8 】

記憶部 1 7 は複数のラインに分割されており、各ラインは、タグ部 1 7 a、バリッドビット 1 7 b、データ部 1 7 c、及びデータ位置記述部 1 7 d をそれぞれ有している。タグ部 1 7 a には登録データのタグ情報が記述されており、また、中断ラインに関しては、再開アドレスがタグ部 1 7 a に記述されている。

【 0 1 3 9 】

データ部 1 7 c には、登録データが格納されている。中断ラインに関しても、バースト転送が中断される前に命令キャッシュ 3 に転送されてきたデータが、データ部 1 7 c に格納されている。

【 0 1 4 0 】

データ位置記述部 1 7 d は、中断情報 3 5 のデータ位置記述部 3 5 b と同様に、データ部 1 7 c の 1 2 8 ビットを各 3 2 ビットの 4 つの領域に分割して、どの領域に有効なデータが格納されているかが記述されている。中断ラインではないラインに係るデータ位置記述部 1 7 d には、「 1 1 1 1 」が記述されている。

【 0 1 4 1 】

上記実施の形態 1 ～ 3 に係るデータ処理装置において本実施の形態 4 に係る記憶部 1 7 が採用された場合、命令キャッシュ 3 は、記憶部 1 7 のタグ部 1 7 a に記述されている再開アドレスを参照することにより、中断された箇所の続きからバースト転送を再開する。

【 0 1 4 2 】

このように、外部アクセス要求生成回路 1 5 が中断情報 3 5 を保持するのではなく、中断情報 3 5 と等価な情報を命令キャッシュ 3 の記憶部 1 7 に記憶しておくことによっても、上記実施の形態 1 ～ 3 と同様の動作を実現でき、同様の効果が得られる。

【 0 1 4 3 】

なお、本実施の形態 4 に係る発明は、後述の実施の形態 5，6 に係るデータ処理装置にも適用可能である。

【 0 1 4 4 】

実施の形態 5.

図 2 4 は、本発明の実施の形態 5 に係るデータ処理装置の構成を示すブロック

図である。中断許可信号 S F が、 I C U 1 1 から命令キャッシュ 3 に入力されている。

【 0 1 4 5 】

図 2 5 は、本実施の形態 5 に係る命令キャッシュ 3 の構成を示すブロック図である。中断許可信号 S F 及びリクエストキャンセル信号 R C が、中断許可判定回路 3 0 0 に入力されている。リクエストキャンセル信号 R C は、中断許可判定回路 3 0 0 から出力されて、外部アクセス要求生成回路 1 5 に入力されている。

【 0 1 4 6 】

図 2 6 は、中断許可判定回路 3 0 0 の構成を示すブロック図である。AND 回路 1 2 0 の一方の入力端子にはリクエストキャンセル信号 R C が入力され、他方の入力端子には中断許可信号 S F が入力される。かかる構成により、AND 回路 1 2 0 は、中断許可信号 S F が「H」の時にはリクエストキャンセル信号 R C を出力し、中断許可信号 S F が「L」の時にはリクエストキャンセル信号 R C を出力しない。

【 0 1 4 7 】

図 2 7 は、本実施の形態 5 に係る I C U 1 1 の第 1 の構成を示すブロック図である。図 2 7 に示す I C U 1 1 は、割り込み検出回路 3 5 0 と、レジスタ 3 6, 4 1 a ~ 4 1 d と、比較回路 3 7 と、選択回路 4 0 とを備えている。割り込み検出回路 3 5 0 には、少なくとも一つの割り込み要求 I R が入力される。割り込み検出回路 3 5 0 は、エッジ指定又はレベル指定によって割り込み要求 I R の発生を検出し、割り込み信号 I S 及び割り込み要求 I R を出力する。

【 0 1 4 8 】

選択回路 4 0 には、割り込み検出回路 3 5 0 から割り込み要求 I R が入力される。レジスタ 4 1 a ~ 4 1 d には、様々な割り込み要因に応じて、割り込みの優先度が予め設定されている。選択回路 4 0 は、レジスタ 4 1 a ~ 4 1 d の内容を参照することにより、割り込み検出回路 3 5 0 から入力された割り込み要求 I R に関する優先度 S P を求め、その優先度 S P を比較回路 3 7 の一方の入力端子に入力する。割り込み検出回路 3 5 0 から複数の割り込み要求 I R が入力される場合は、選択回路 4 0 は、レジスタ 4 1 a ~ 4 1 d の内容を参照することにより、

複数の割り込み要求 I R の中から、割り込みの優先度が最も高い割り込み要求 I R を選択する。そして、その選択された割り込み要求 I R に関する優先度 S P を、比較回路 3 7 の一方の入力端子に入力する。

【 0 1 4 9 】

レジスタ 3 6 には、レジスタ 4 1 a ~ 4 1 d に設定されている優先度と同種の、所定の優先度 S P 0 が予め設定されている。優先度 S P 0 は、比較回路 3 7 の他方の入力端子に入力されている。比較回路 3 7 は、優先度 S P と優先度 S P 0 とを比較することにより、優先度 S P が優先度 S P 0 よりも高い場合に、「H」の中断許可信号 S F を出力する。優先度 S P が優先度 S P 0 以下である場合には、中断許可信号 S F は出力されない。

【 0 1 5 0 】

図 2 8 は、本実施の形態 5 に係る I C U 1 1 の第 2 の構成を示すブロック図である。図 2 8 に示す I C U 1 1 は、割り込み検出回路 3 5 0 と、レジスタ 4 6 と、選択回路 4 5 とを備えている。割り込み検出回路 3 5 0 には割り込み要求 I R が入力される。割り込み検出回路 3 5 0 は、割り込み信号 I S 及び割り込み要求 I R を出力する。

【 0 1 5 1 】

レジスタ 4 6 では、様々な割り込み要求 I R 0 ~ I R n ごとに、「H」又は「L」の中断許可ビットが予め設定されている。選択回路 4 5 には、割り込み検出回路 3 5 0 から割り込み要求 I R が入力される。選択回路 4 5 は、割り込み検出回路 3 5 0 から入力された割り込み要求 I R に関する中断許可ビットをレジスタ 4 6 から読み出し、そのビット内容（「H」又は「L」）を中断許可信号 S F として出力する。

【 0 1 5 2 】

このように本実施の形態 5 に係るデータ処理装置によれば、早急な対応が真に必要な割り込み要求 I R が発生した場合にのみ、バースト転送を中断させることができる。従って、早急な対応が必要でない割り込み要求 I R が発生した場合にもバースト転送が中断されてメインプログラムの処理に必要以上の遅延をきたすことを、回避することができる。

【 0 1 5 3 】

実施の形態 6.

上記実施の形態 1 ～ 5 では、割り込み命令が検出された場合にバースト転送を中断することについて説明したが、同様の考えに基づき、分岐命令が検出された場合にバースト転送を中断することもできる。

【 0 1 5 4 】

第 1 のプログラムを実行する過程で、SDRAM 8 から SDRAM コントローラ 5 を介して命令キャッシュ 3 にバースト転送（説明の便宜上、以下「第 1 のバースト転送」と称す）が行われている状況を考える。第 1 のバースト転送が行われている最中に CPU 1 が分岐命令（説明の便宜上、以下「第 1 の分岐命令」と称す）を検出すると、データ処理装置は、第 1 のバースト転送を中断して、分岐先の第 2 のプログラムの実行を開始する。その際、中断情報 3 5 の作成が行われる。そして、第 2 のプログラムの実行が完了すると、データ処理装置は、中断情報 3 5 の内容に基づいて、中断されていた箇所から第 1 のバースト転送を再開する。

【 0 1 5 5 】

ここで、第 1 のプログラムがメインプログラムで第 2 のプログラムがメインプログラムのサブルーチンである場合など、第 2 のプログラムの実行が終了した後に第 1 のプログラムに復帰する可能性が高い場合にのみ、中断情報 3 5 の作成・保持を行ってもよい。第 2 のプログラムの実行が終了した後に第 1 のプログラムに復帰しない場合には、中断されていた第 1 のバースト転送の再開、及び中断情報 3 5 の作成・保持は無駄になるため、この無駄を予め解消するためである。

【 0 1 5 6 】

また、第 2 のプログラムを実行する過程でバースト転送（以下「第 2 のバースト転送」と称す）が行われている最中に、ネスティングによって他の分岐命令（以下「第 2 の分岐命令」と称す）が検出された場合には、以下の処理が行われる。即ち、データ処理装置は、第 2 のバースト転送を中断して、分岐先の第 3 のプログラムの実行を開始する。その際、新たな中断情報 3 5 の作成が行われる。そして、第 3 のプログラムの実行が完了すると、データ処理装置は、新たな中断情

報 3 5 の内容に基づいて、中断されていた箇所から第 2 のバースト転送を再開する。

【 0 1 5 7 】

図 2 9 は、逐次作成される複数の中断情報を保持しておくためのスタック領域 5 0 を示す模式図である。分岐命令の検出により新たな中断情報 3 5 が作成される度に、作成された中断情報 3 5 をスタック領域 5 0 の最上段 5 0₃ にプッシュダウンする。また、分岐先のプログラムの実行が終了して元のプログラムに復帰する度に、最上段 5 0₃ の中断情報 3 5 をスタック領域 5 0 からポップアップする。図 2 9 に示した例によると、スタック領域 5 0 は、最下段 5 0₀ から最上段 5 0₃ までの 4 段構成となっているため、4 つの中断情報 3 5 を保持しておくことが可能である。

【 0 1 5 8 】

このように本実施の形態 6 に係るデータ処理装置によれば、バースト転送が行われている最中に分岐命令が検出された場合に、バースト転送の完了を待ってから分岐先のプログラムの実行を開始するのではなく、バースト転送を強制的に中断して、分岐先のプログラムを優先的に実行する。従って、分岐先のプログラムを早期に開始することができる。

【 0 1 5 9 】

【発明の効果】

この発明のうち請求項 1 に係るものによれば、緊急度の高い割り込み要求に対する応答性を高めることができる。

【 0 1 6 0 】

また、この発明のうち請求項 2 に係るものによれば、割り込み要求の発生によって中断されていたバースト転送を、割り込み処理の完了によって自動的に再開することができる。

【 0 1 6 1 】

また、この発明のうち請求項 3 に係るものによれば、元のプログラムに復帰しない場合にはバースト転送が再開されないため、バースト転送の再開に伴う無駄な動作を回避できることができる。

【 0 1 6 2 】

また、この発明のうち請求項 4 に係るものによれば、一の割り込み処理が終了した後に、バースト転送の再開よりも優先して次の割り込み処理が実行されるため、次の割り込み処理を早期に開始することができる。

【 0 1 6 3 】

また、この発明のうち請求項 5 に係るものによれば、割り込み処理が終了した直後に元のプログラムに復帰しないような場合であっても、中断に係るラインが処理装置によってアクセスされた際に、バースト転送を適切に再開することができる。

【 0 1 6 4 】

また、この発明のうち請求項 6 に係るものによれば、割り込み処理がまだ実行されている最中であってもバースト転送を再開することができ、割り込み処理が完了した後に再開する場合と比較すると、バースト転送を早期に再開することができる。

【 0 1 6 5 】

また、この発明のうち請求項 7 に係るものによれば、一の割り込み処理が終了した後に、バースト転送の再開よりも優先して次の割り込み処理が実行されるため、次の割り込み処理を早期に開始することができる。

【 0 1 6 6 】

また、この発明のうち請求項 8 に係るものによれば、バースト転送が中断される前に第 2 の記憶装置に転送されていたデータに関して、重複した読み出し及び転送動作を回避することができる。

【 0 1 6 7 】

また、この発明のうち請求項 9 に係るものによれば、バースト転送が中断される前に第 2 の記憶装置に転送されていたデータに関して、重複した読み出し及び転送動作を回避することができる。

【 0 1 6 8 】

また、この発明のうち請求項 1 0 に係るものによれば、早急な対応が真に必要な割り込み要求が発生した場合にのみ、バースト転送を中断させることができる。

。従って、早急な対応が必要でない割り込み要求が発生した場合にもバースト転送が中断されてメインプログラムの処理に必要な以上の遅延をきたすことを、回避することができる。

【 0 1 6 9 】

また、この発明のうち請求項 1 1 に係るものによれば、早急な対応が真に必要な割り込み要求が発生した場合にのみ、バースト転送を中断させることができる。従って、早急な対応が必要でない割り込み要求が発生した場合にもバースト転送が中断されてメインプログラムの処理に必要な以上の遅延をきたすことを、回避することができる。

【 0 1 7 0 】

また、この発明のうち請求項 1 2 に係るものによれば、割り込み命令を優先的に実行することにより、緊急度の高い割り込み処理を早期に開始することができる。

【 0 1 7 1 】

また、この発明のうち請求項 1 3 に係るものによれば、割り込み要求の緊急度がそれほど高くない場合には、割り込み命令がフェッチされる前にすでにフェッチされていた命令を先に実行する。従って、パイプラインを乱すことなく処理を進めることができ、割り込み処理に伴うペナルティをなくすことができる。

【 0 1 7 2 】

また、この発明のうち請求項 1 4 に係るものによれば、割り込み要求の優先度が所定の優先度よりも高い場合に、割り込み命令を優先的に実行することにより、緊急度の高い割り込み処理を早期に開始することができる。一方、割り込み要求の緊急度がそれほど高くない場合には、割り込み命令がフェッチされる前にすでにフェッチされていた命令を先に実行する。従って、パイプラインを乱すことなく処理を進めることができ、割り込み処理に伴うペナルティをなくすことができる。

【 0 1 7 3 】

また、この発明のうち請求項 1 5 に係るものによれば、緊急度の高い割り込み要求に対する応答性を高めることができる。

【 0 1 7 4 】

また、この発明のうち請求項 1 6 に係るものによれば、第 1 のバースト転送が行われている最中に第 1 の分岐命令が検出された場合には、第 1 のバースト転送の完了を待ってから第 2 のプログラムの実行を開始するのではなく、第 1 のバースト転送を強制的に中断して、第 2 のプログラムを優先的に実行する。従って、第 2 のプログラムを早期に開始することができる。

【 0 1 7 5 】

また、この発明のうち請求項 1 7 に係るものによれば、第 2 のバースト転送が行われている最中に第 2 の分岐命令が検出された場合には、第 2 のバースト転送の完了を待ってから第 3 のプログラムの実行を開始するのではなく、第 2 のバースト転送を強制的に中断して、第 3 のプログラムを優先的に実行する。従って、第 3 のプログラムを早期に開始することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係るデータ処理装置の構成を示すブロック図である。

【図 2】 命令キャッシュ及び S D R A M コントローラを示すブロック図である。

【図 3】 命令キャッシュの構成を示すブロック図である。

【図 4】 外部アクセス要求生成回路の構成を示すブロック図である。

【図 5】 リクエストカウント回路の構成を示すブロック図である。

【図 6】 アドレス生成回路の構成を示すブロック図である。

【図 7】 命令コード選択回路の構成を示すブロック図である。

【図 8】 リクエストキャンセル信号生成回路の構成を示すブロック図である。

【図 9】 本発明の実施の形態 1 に係るデータ処理装置に関して、信号・データの遷移を示すタイミングチャートである。

【図 1 0】 本発明の実施の形態 1 に係るデータ処理装置に関して、信号・データの遷移を示すタイミングチャートである。

【図 1 1】 中断情報を示す図である。

【図 1 2】 メインプログラムの実行中に割り込み要求が発生した場合の、第 1 の処理フローを示す模式図である。

【図 1 3】 メインプログラムの実行中に割り込み要求が発生した場合の、第 2 の処理フローを示す模式図である。

【図 1 4】 メインプログラムの実行中に割り込み要求が発生した場合の、第 3 の処理フローを示す模式図である。

【図 1 5】 本発明の実施の形態 2 に係るデータ処理装置に関して、信号・データの遷移を示すタイミングチャートである。

【図 1 6】 パイプライン処理の一例を示す模式図である。

【図 1 7】 本発明の実施の形態 3 に係るアドレス生成回路の構成を示すブロック図である。

【図 1 8】 本発明の実施の形態 3 に係る外部アクセス要求生成回路の構成を示すブロック図である。

【図 1 9】 パイプライン処理が実行されている状況を示す図である。

【図 2 0】 パイプライン処理が実行されている状況を示す図である。

【図 2 1】 本発明の実施の形態 3 に係るデータ処理装置に関して、信号・データの遷移を示すタイミングチャートである。

【図 2 2】 R T E 検出信号を生成するための回路の構成を示すブロック図である。

【図 2 3】 本発明の実施の形態 4 に係る命令キャッシュの記憶部の構成を示す模式図である。

【図 2 4】 本発明の実施の形態 5 に係るデータ処理装置の構成を示すブロック図である。

【図 2 5】 本発明の実施の形態 5 に係る命令キャッシュの構成を示すブロック図である。

【図 2 6】 中断許可判定回路の構成を示すブロック図である。

【図 2 7】 本発明の実施の形態 5 に係る I C U の第 1 の構成を示すブロック図である。

【図 2 8】 本発明の実施の形態 5 に係る I C U の第 2 の構成を示すブロッ

ク図である。

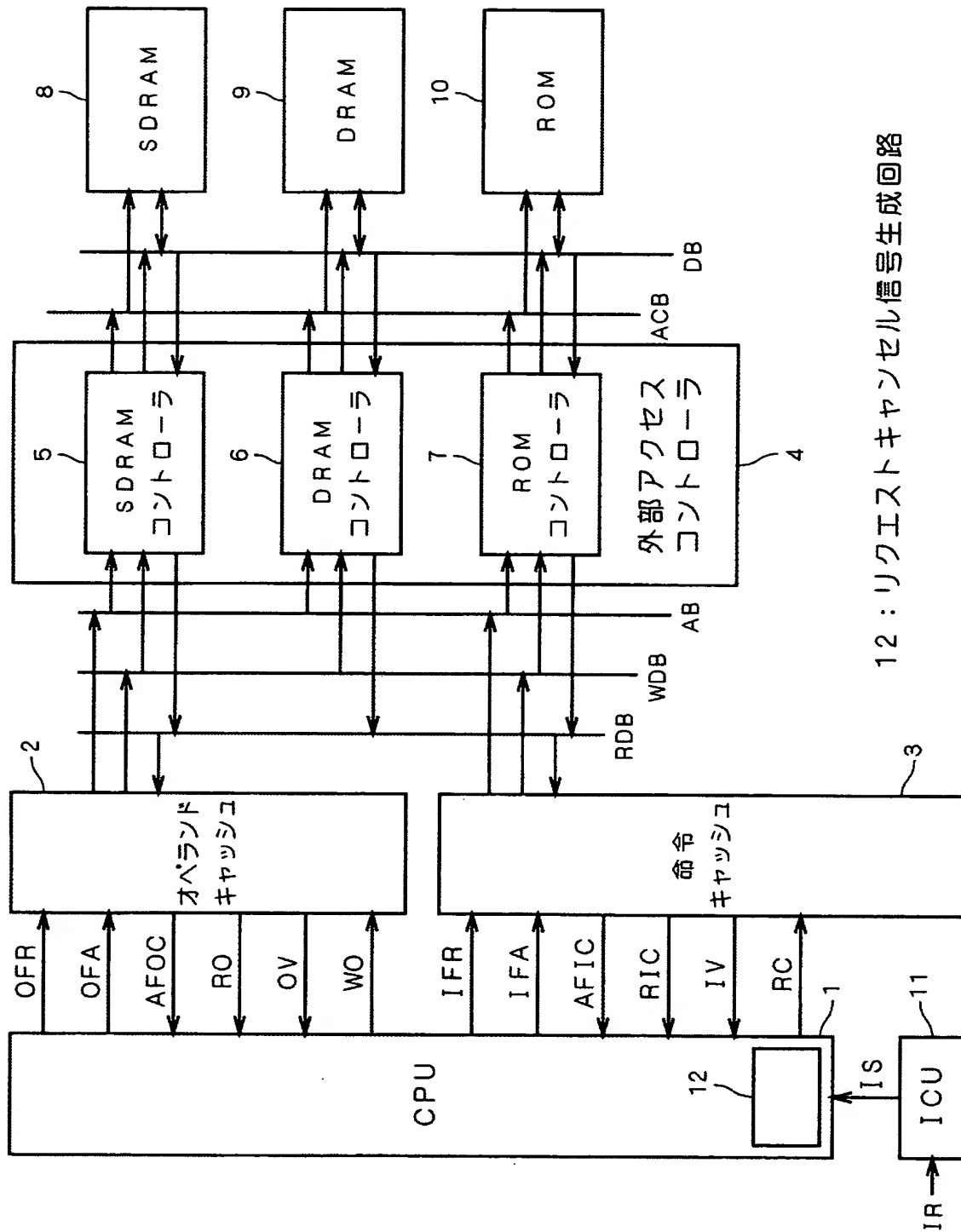
【図 2 9】 本発明の実施の形態 6 に係るデータ処理装置に関して、スタック領域を示す模式図である。

【符号の説明】

1 CPU、2 オペランドキャッシュ、3 命令キャッシュ、4 外部アクセスコントローラ、5 SDRAMコントローラ、6 DRAMコントローラ、7 ROMコントローラ、8 SDRAM、9 DRAM、10 ROM、11 ICU、12 リクエストキャンセル信号生成回路、15 外部アクセス要求生成回路、16 命令コード選択回路、17 記憶部、20 アドレス生成回路、21 リクエストカウント回路、22 リクエスト生成回路、30 一致検出回路、31, 40, 45, 82, 83, 100, 182, 183 選択回路、32 デコーダ、35 中断情報、36, 41a~41d レジスタ、37 比較回路、300 中断許可判定回路、350 割り込み検出回路。

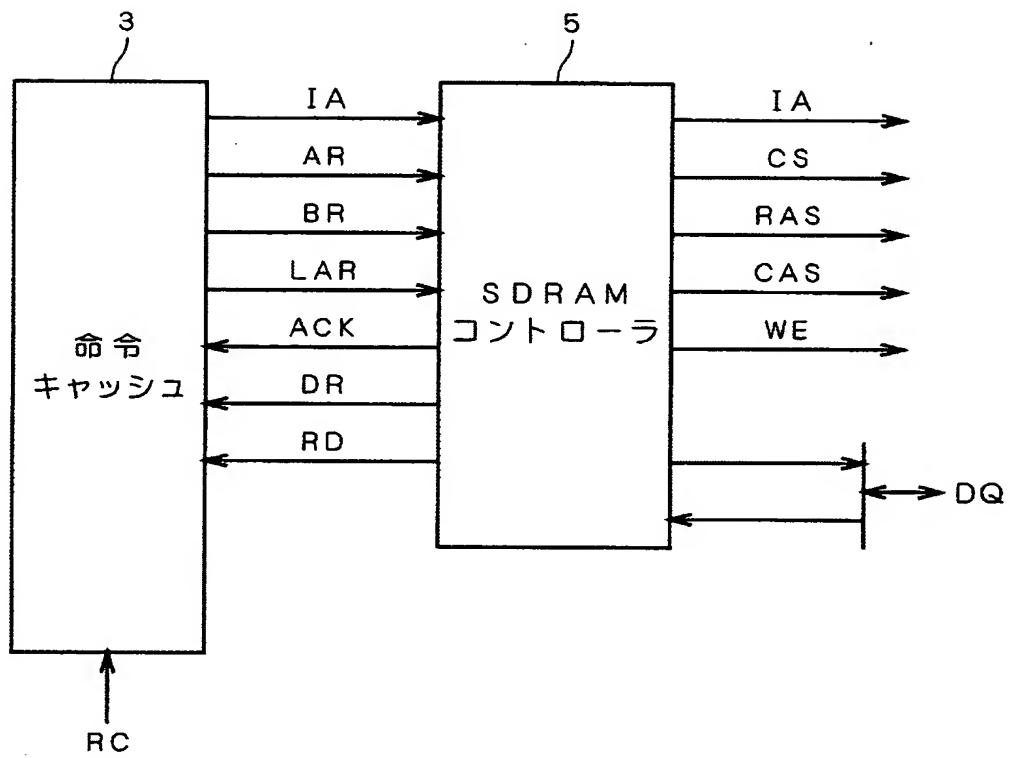
【書類名】 図面

【図 1】

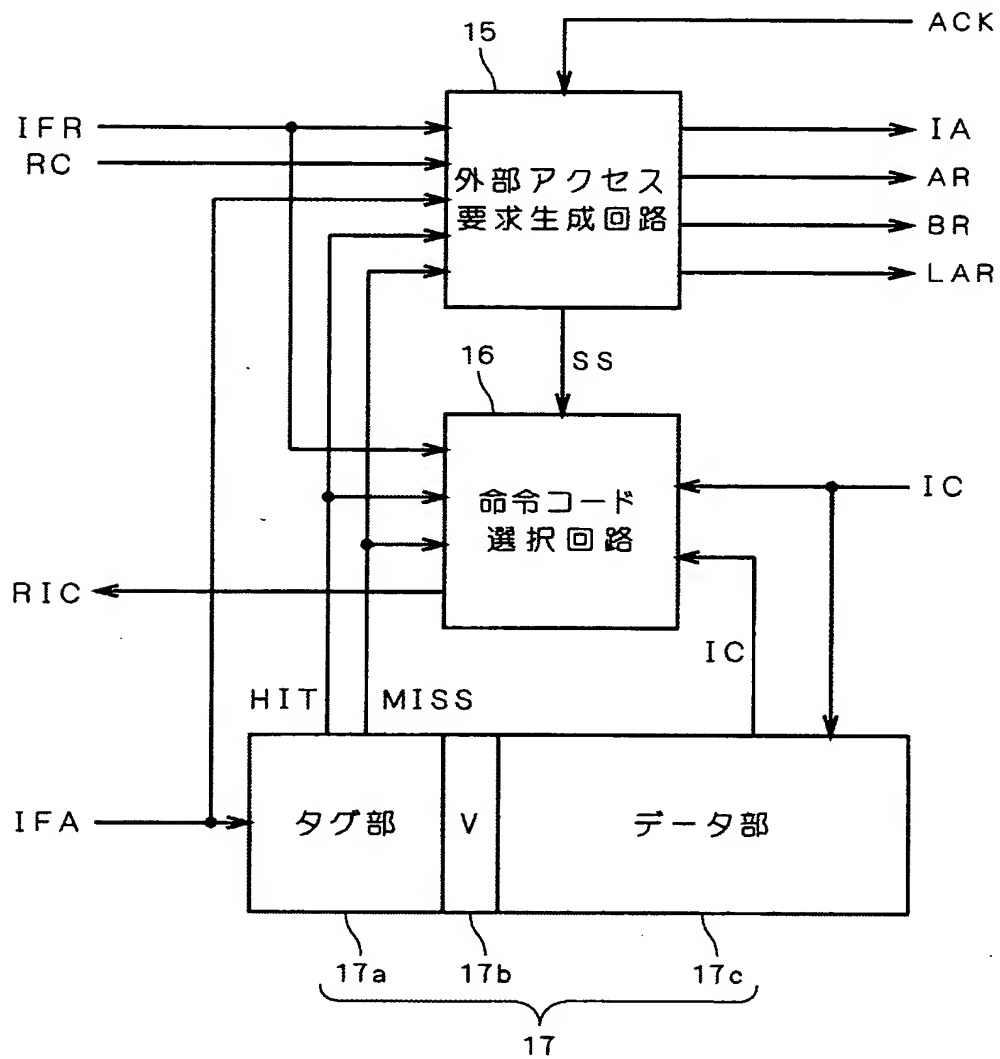


12: リクエストキャンセル信号生成回路

【図 2】

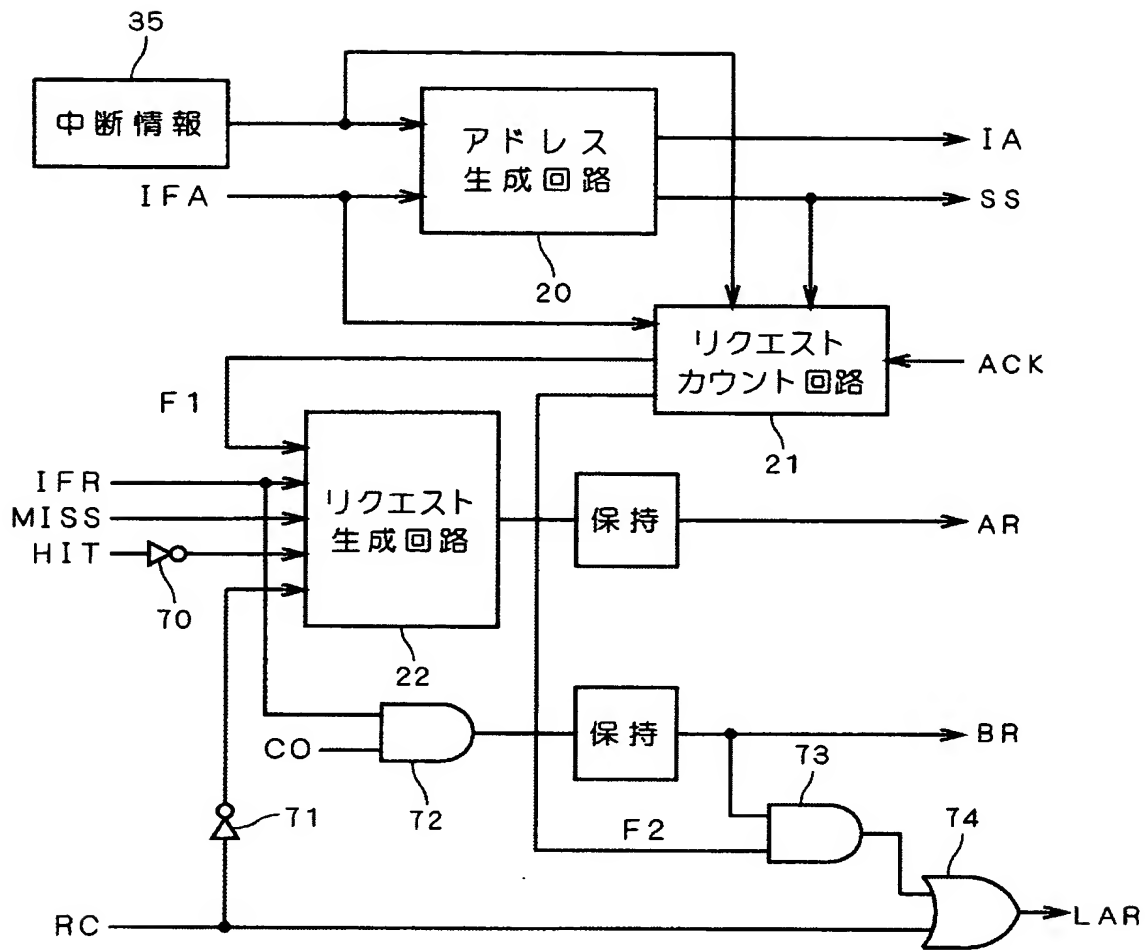


【図 3】

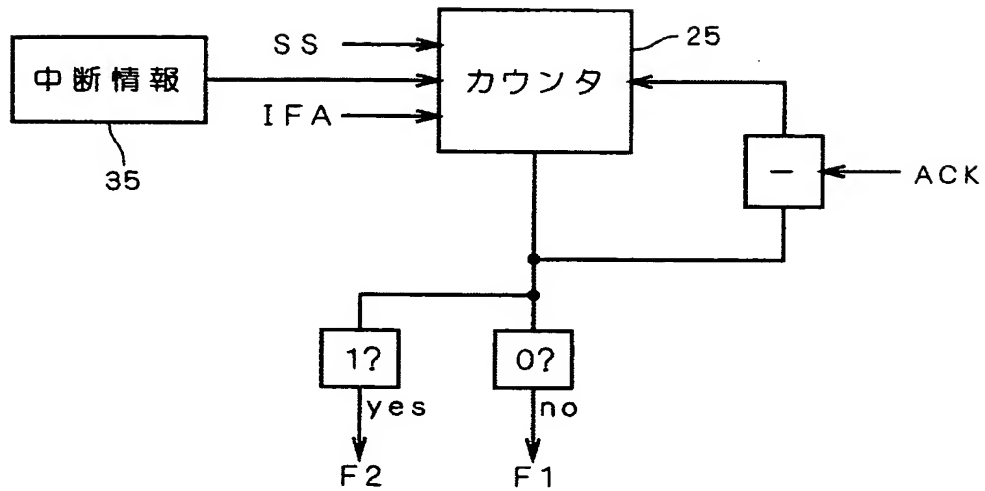


17 : 記憶部

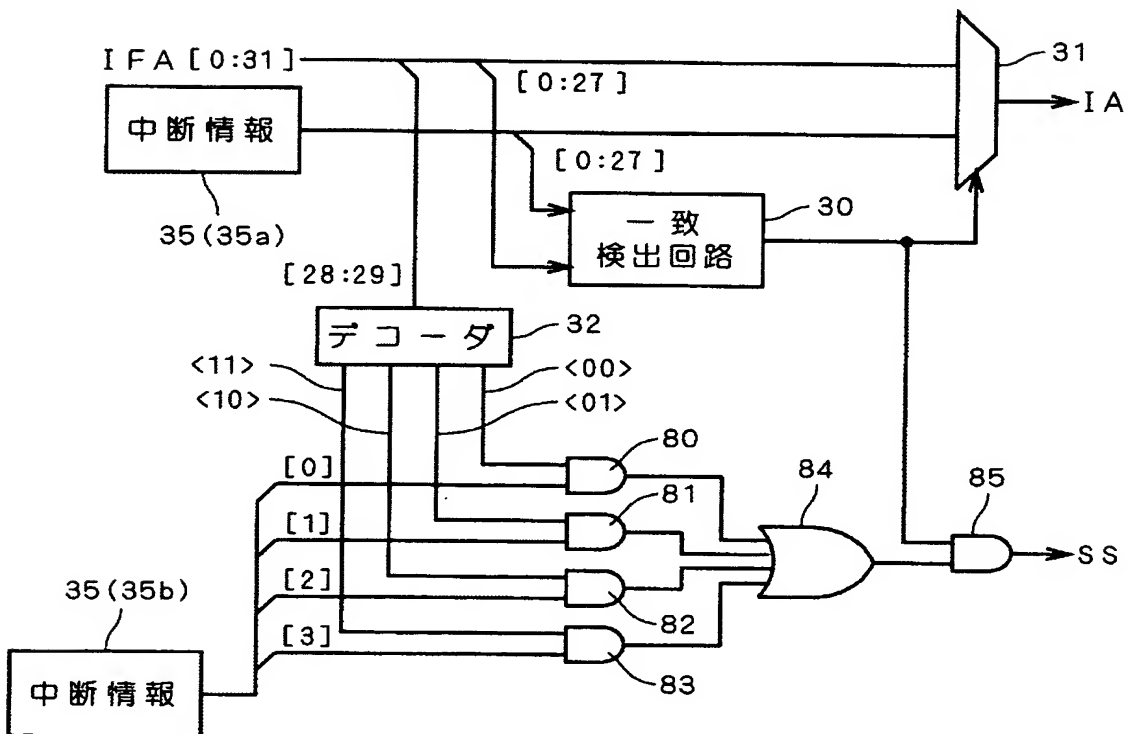
【図 4】



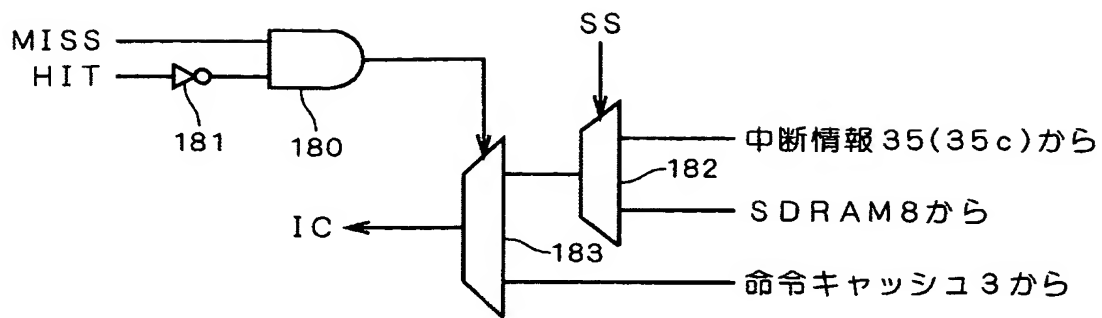
【図 5】



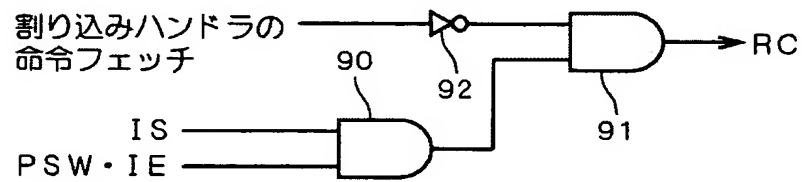
【図 6】



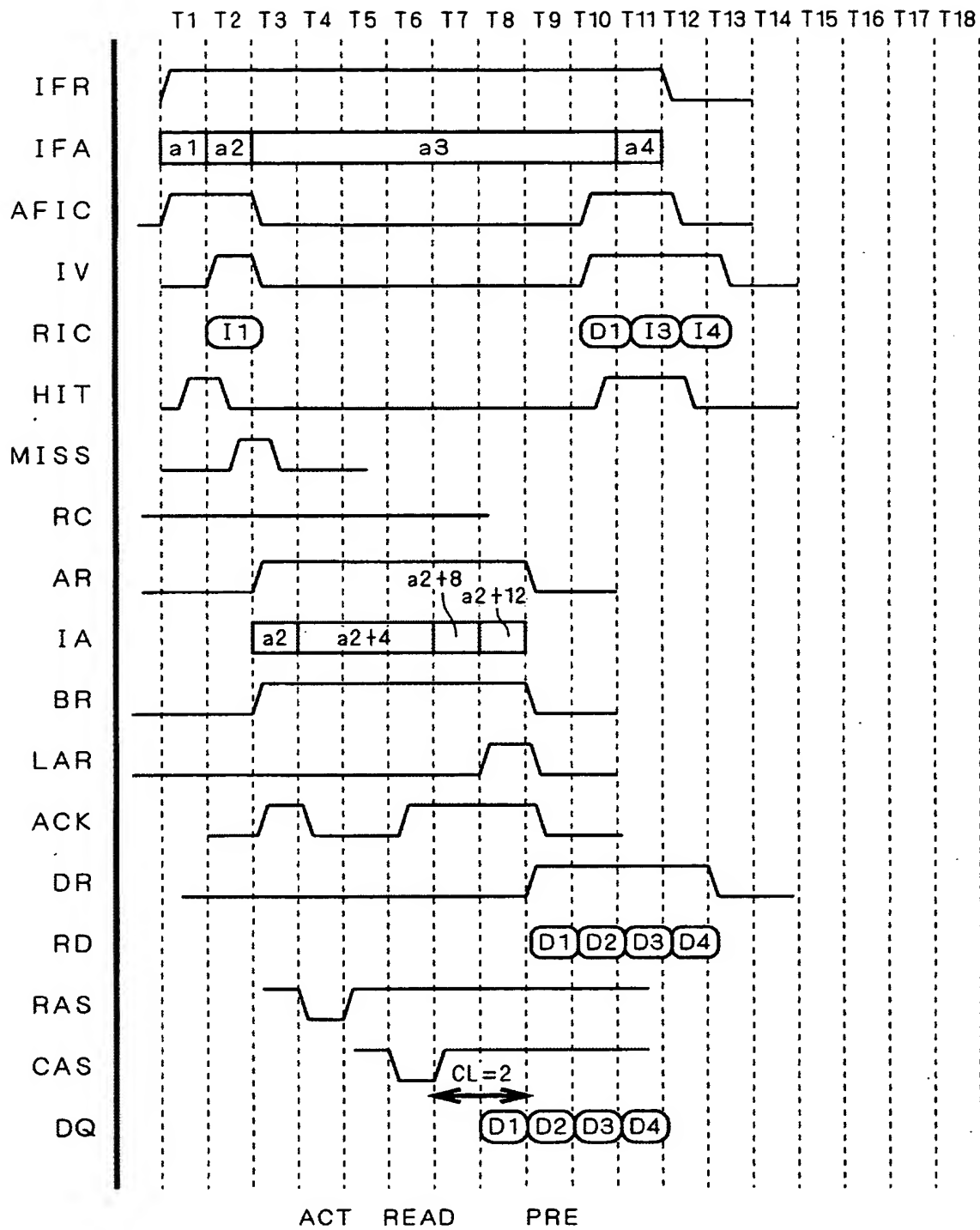
【図 7】



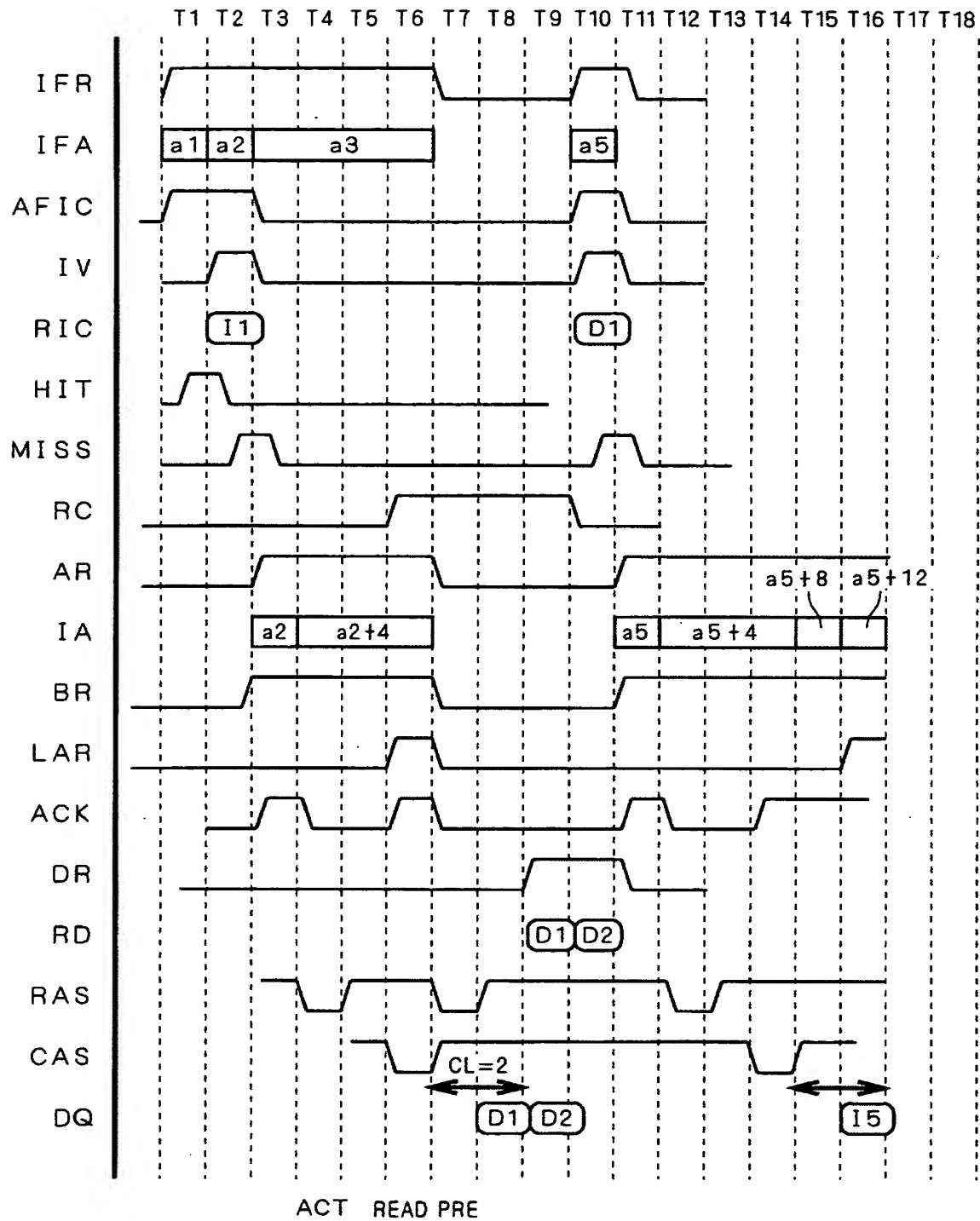
【図 8】



【図9】

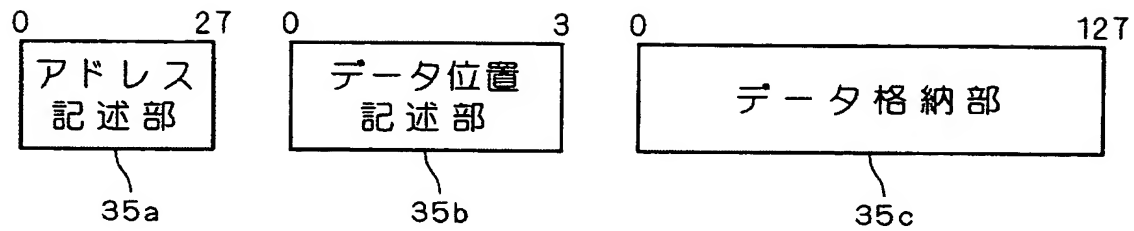


【図10】

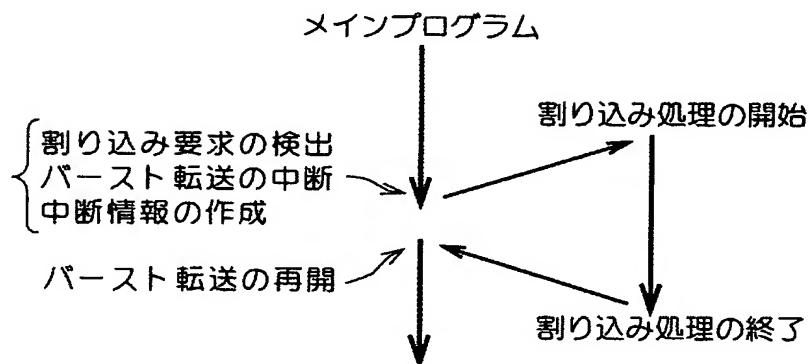


【図 1 1】

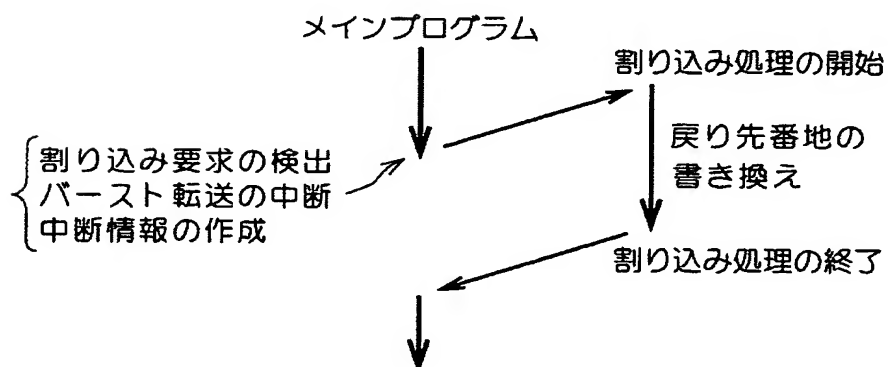
35



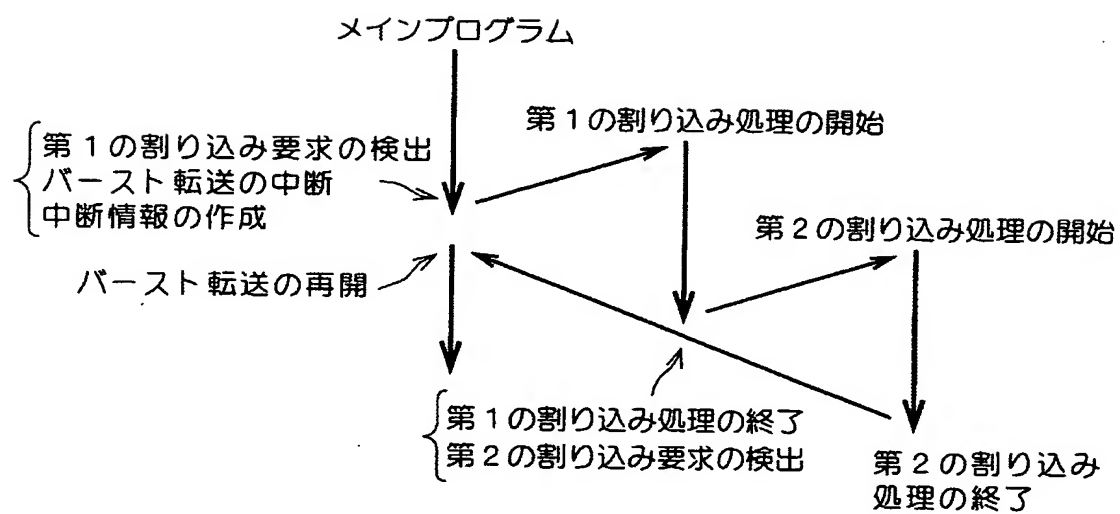
【図 1 2】



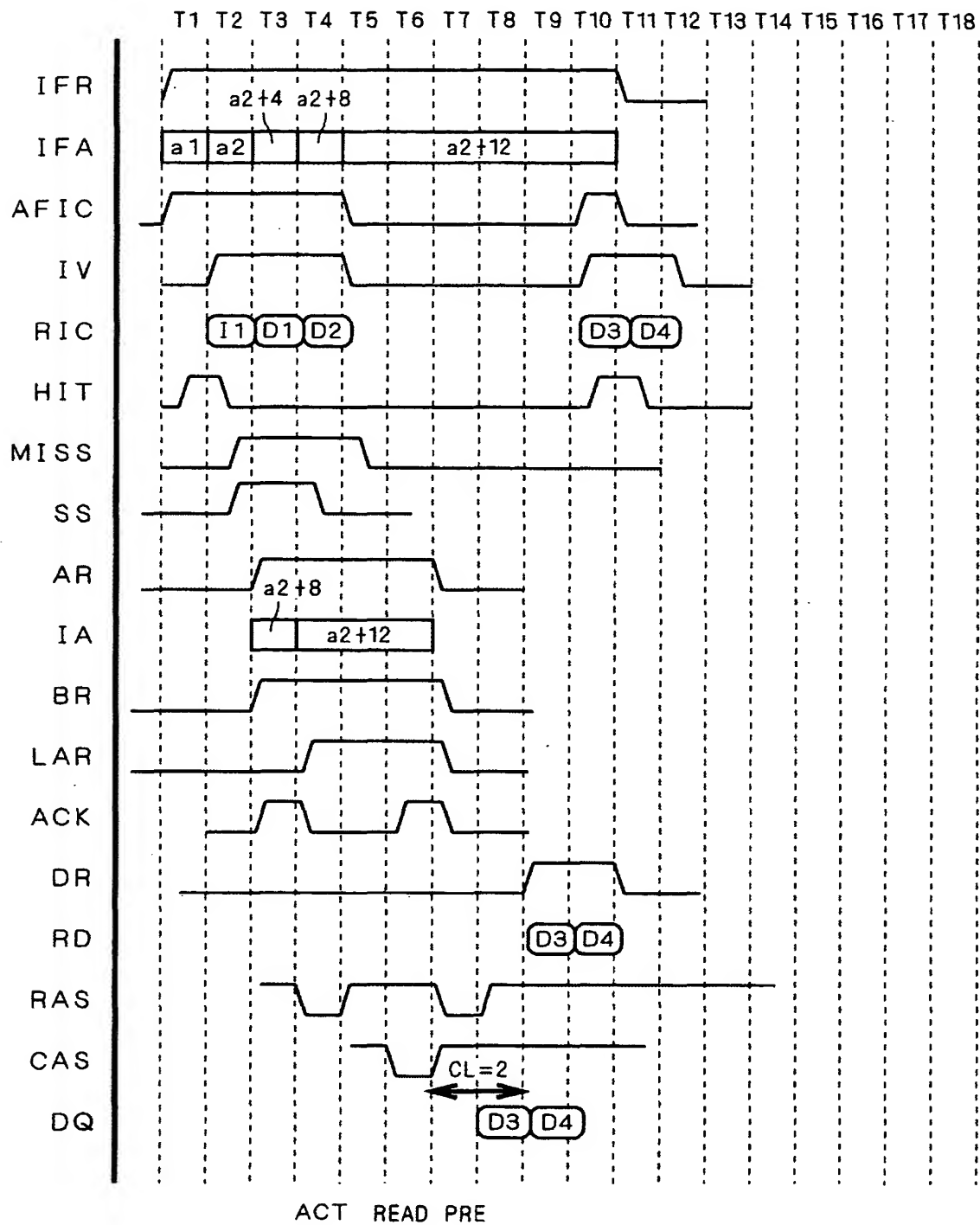
【図 1 3】



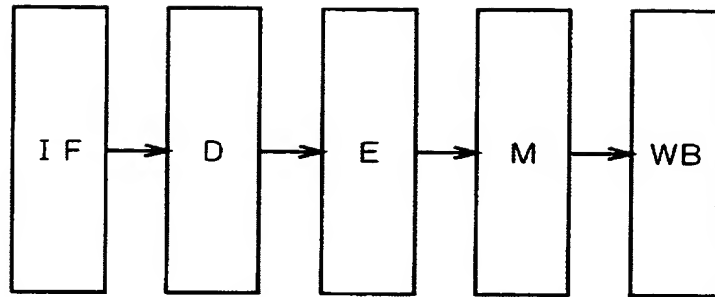
【図 1 4】



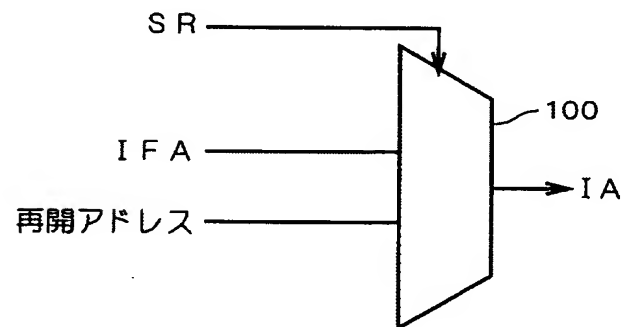
【図 15】



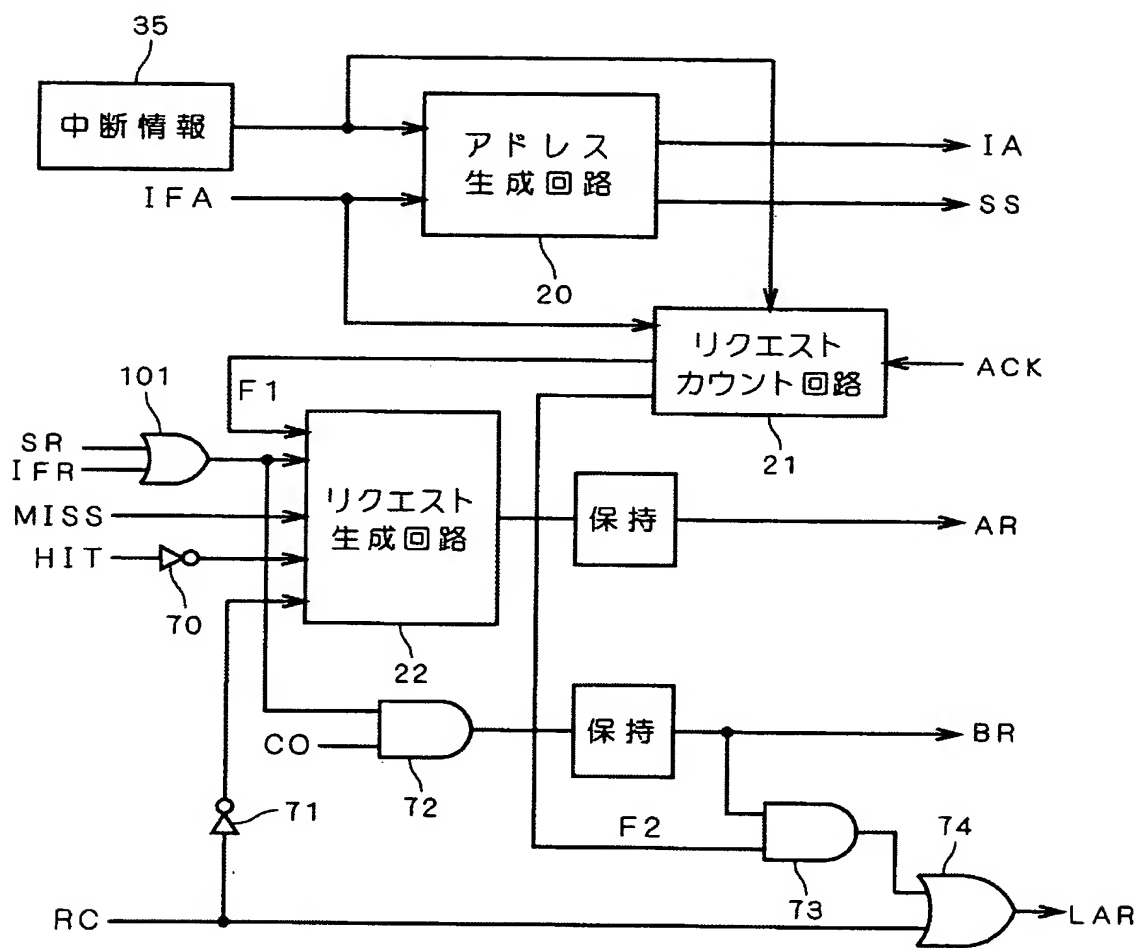
【図 1 6】



【図 1 7】



【図 1 8】



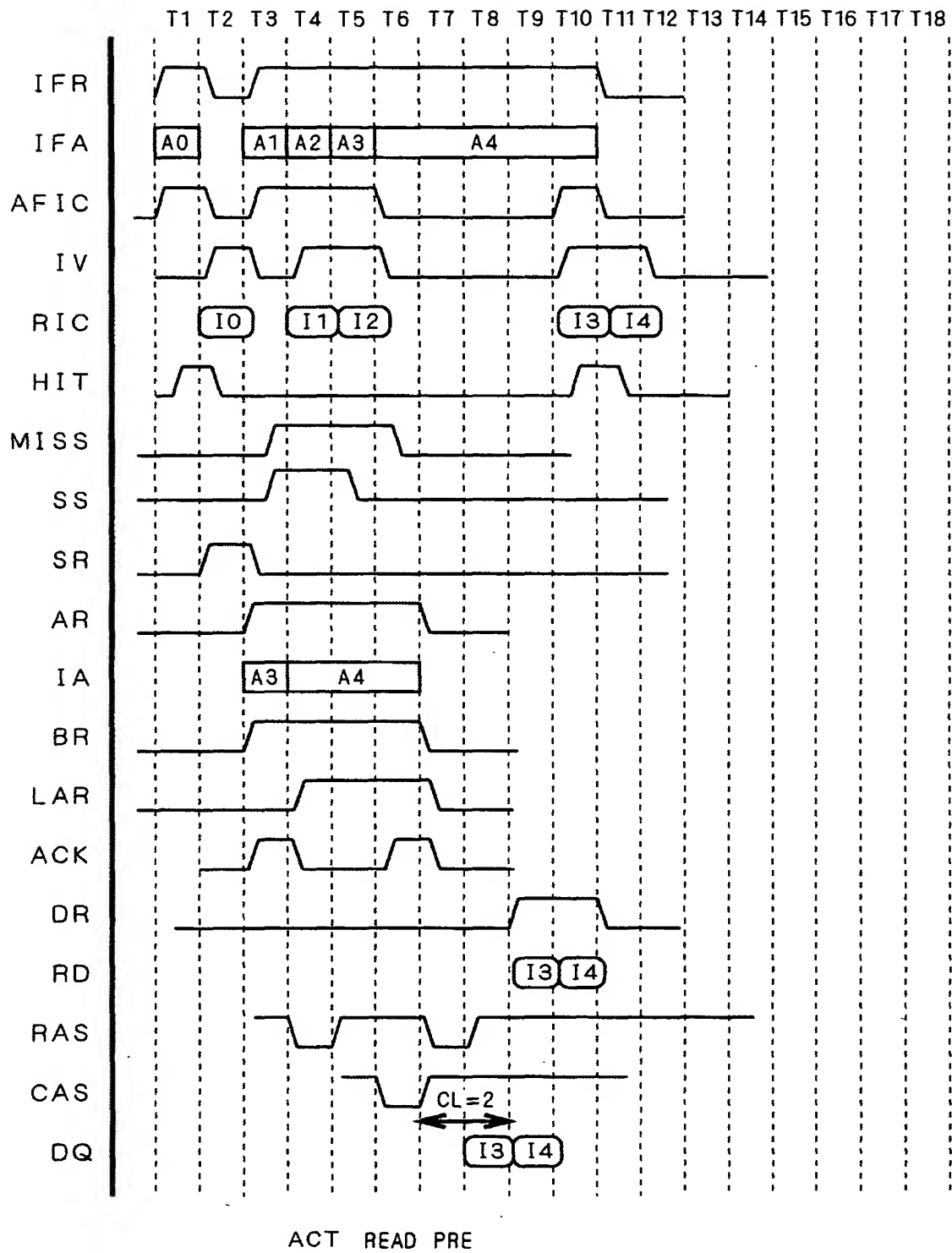
【図 1 9】

	IF	D	E	M	WB
t1	命令 X1				
t2	命令 X2	命令 X1			
t3 割り込み	命令 X3	命令 X2	命令 X1		
t4	割り込み Y1			命令 X1	
t5		割り込み Y1			命令 X1
t6			割り込み Y1		
t7				割り込み Y1	
⋮	⋮	⋮	⋮	⋮	⋮

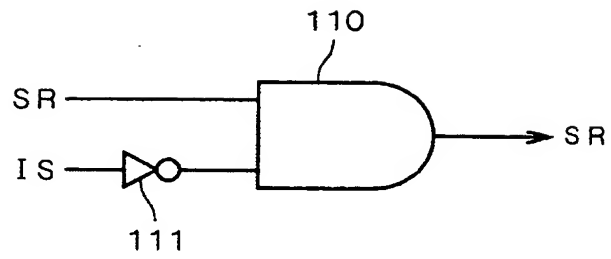
【図 2 0】

	IF	D	E	M	WB
t1	命令 X1				
t2	命令 X2	命令 X1			
t3 割り込み	命令 X3	命令 X2	命令 X1		
t4	割り込み Y1	命令 X3	命令 X2	命令 X1	
t5		割り込み Y1	命令 X3	命令 X2	命令 X1
t6			割り込み Y1	命令 X3	命令 X2
⋮	⋮	⋮	⋮	⋮	⋮

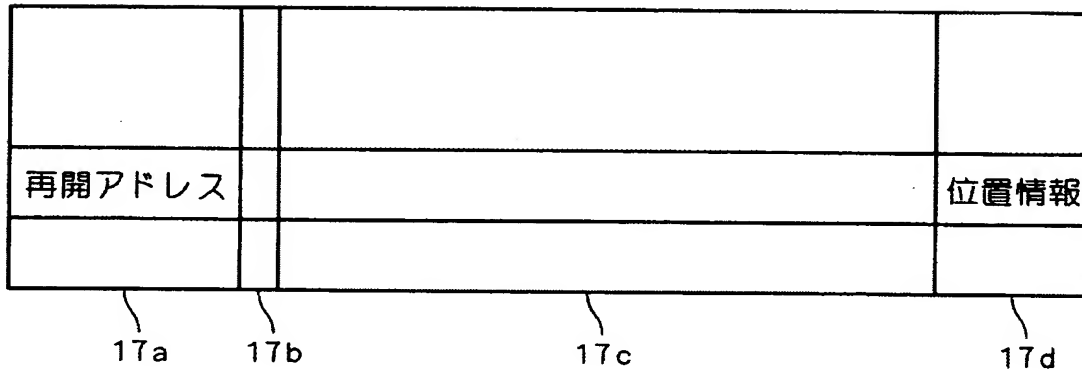
【図 21】



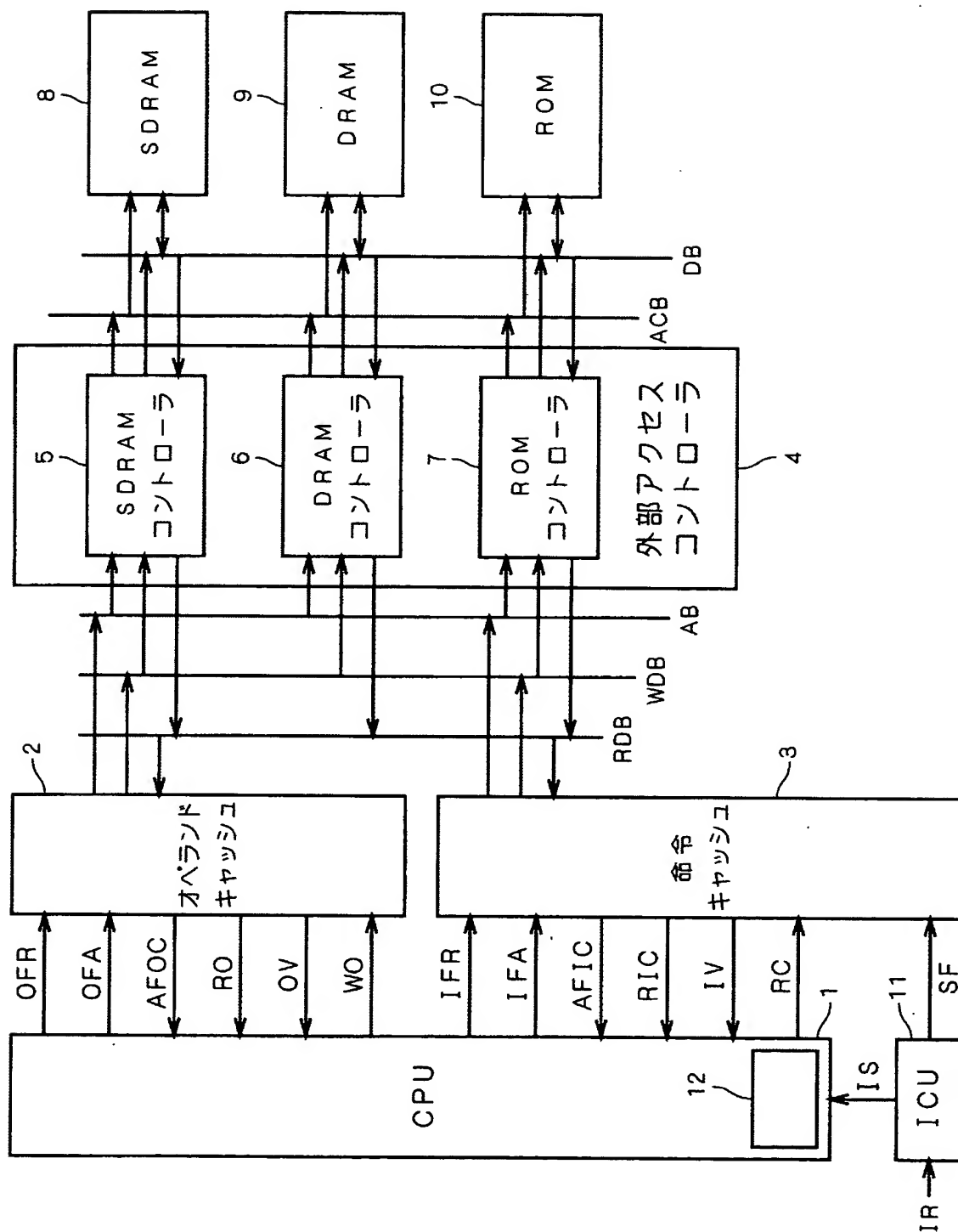
【図 2 2】



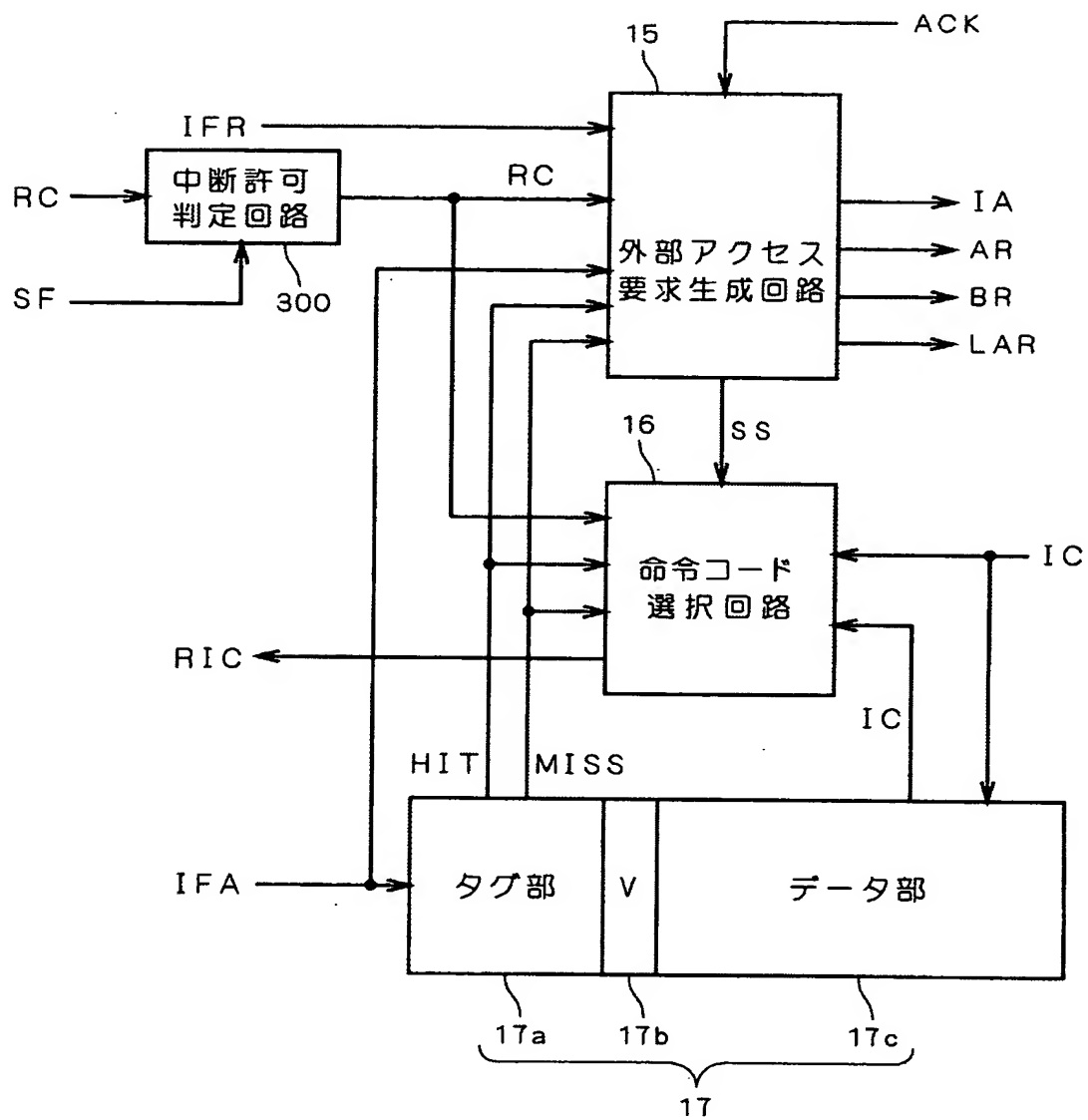
【図 2 3】



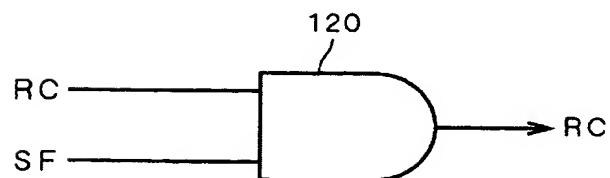
【図 24】



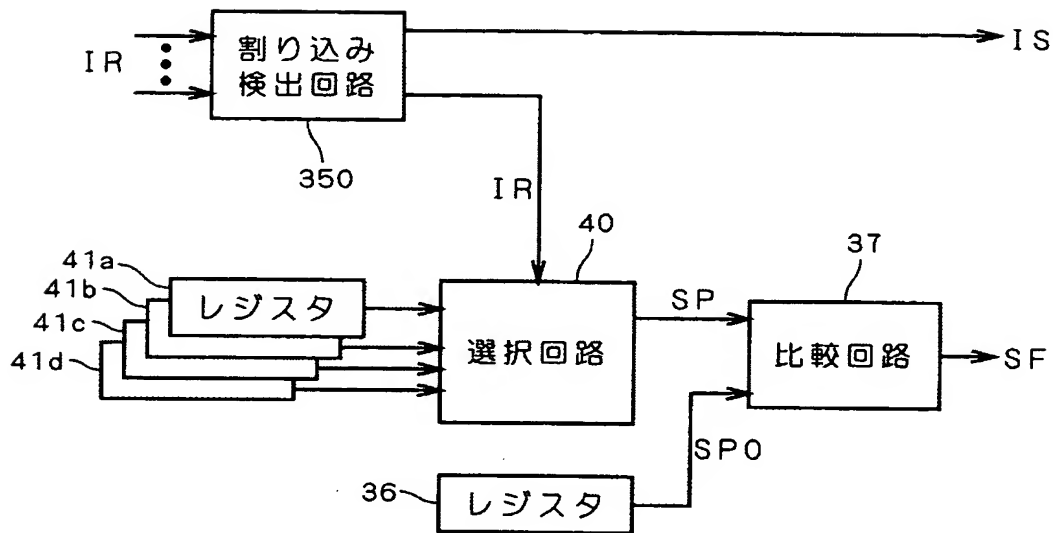
【図 2 5】



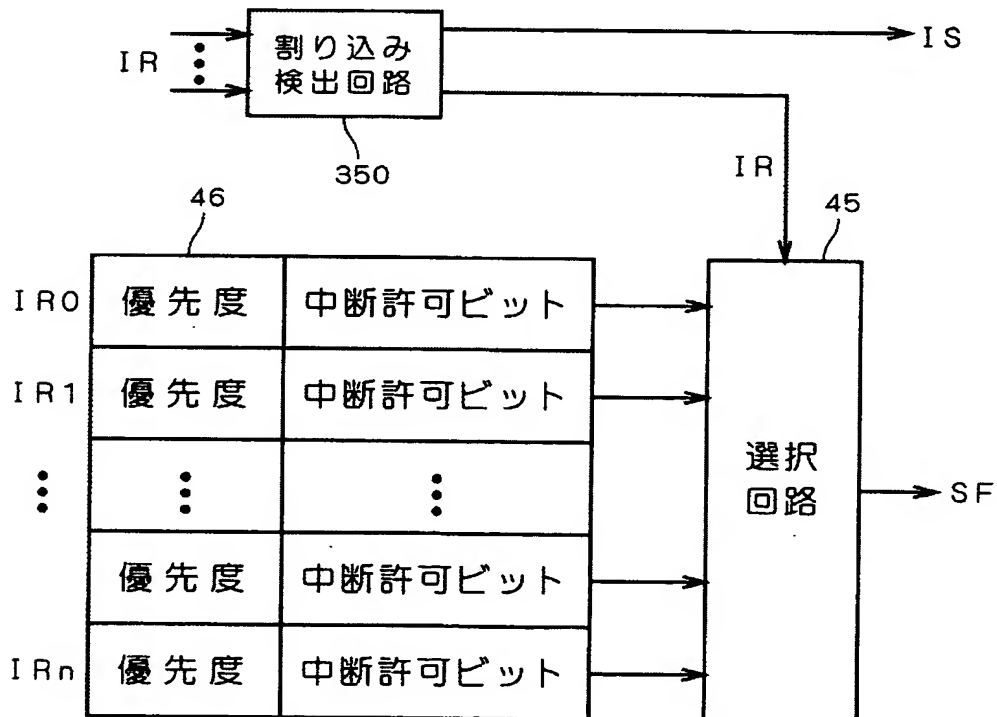
【図 2 6】



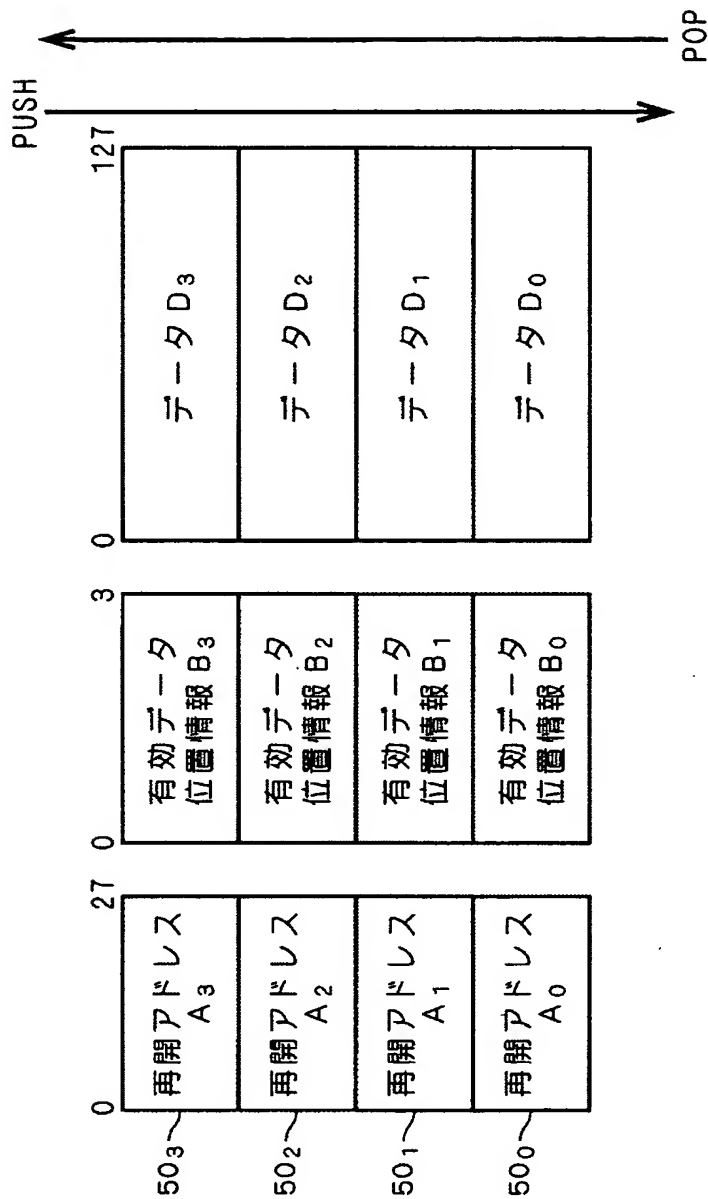
【図 27】



【図 28】



【図 2 9】



【書類名】 要約書

【要約】

【課題】 キャッシュメモリへのバースト転送が行われている最中に割り込み要求が発生した場合に、割り込み処理を優先的に開始することが可能なデータ処理装置を得る。

【解決手段】 命令キャッシュ 3 へのバースト転送が行われている途中で割り込み要求 I R の発生が検出されると、命令キャッシュ 3 は、バースト転送を中断するとともに、中断情報 3 5 を作成する。割り込み処理が終了して元のプログラムに復帰すると、命令キャッシュ 3 は、中断情報 3 5 のアドレス記述部 3 5 a に記述されている再開アドレスを参照することにより、中断された箇所の続きからバースト転送を再開する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社